

中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE
MINISTRY OF ECONOMIC AFFAIRS
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，
其申請資料如下：

This is to certify that annexed is a true copy from the records of this
office of the application as originally filed which is identified hereunder:

申請日：西元 2003 年 03 月 14 日

Application Date

申請案號：092105582

Application No.

申請人：財團法人工業技術研究院

Applicant(s)

局

長

Director General

蔡練生

發文日期：西元 2003 年 4 月 9 日

Issue Date

發文字號：09220351030

Serial No.

申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中 文	半導體裝置封裝方法
	英 文	
二、 發明人 (共4人)	姓 名 (中文)	1. 陳凱琪 2. 李巡天 3. 黃淑禎
	姓 名 (英文)	1. Kai-Chi Chen 2. Hsun-Tien Li 3. Shu-Chen Huang
	國 籍 (中英文)	1. 中華民國 TW 2. 中華民國 TW 3. 中華民國 TW
	住居所 (中 文)	1. 南投縣草屯鎮南埔里中正路269號 2. 新竹市新莊街177號5樓 3. 基隆市中興路66號6樓之1
	住居所 (英 文)	1. 2. 3.
三、 申請人 (共1人)	名稱或 姓 名 (中文)	1. 財團法人工業技術研究院
	名稱或 姓 名 (英文)	1. INDUSTRIAL TECHNOLOGY RESEARCH INSTITUTE
	國 籍 (中英文)	1. 中華民國 TW
	住居所 (營業所) (中 文)	1. 新竹縣竹東鎮中興路四段一九五號 (本地址與前向貴局申請者相同)
	住居所 (營業所) (英 文)	1.
	代表人 (中文)	1. 翁政義
	代表人 (英文)	1. Weng, Cheng-I



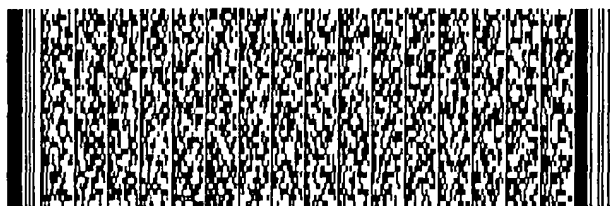
四、中文發明摘要 (發明名稱：半導體裝置封裝方法)

本發明提供一種半導體裝置封裝方法，適用於一封膠製程，包括下列步驟：提供一基板，具有複數個半導體裝置，上述半導體裝置分別包含一半導體晶片分別電性連接於上述基板一表面上的一預定封膠區內；在低於一大氣壓的第一氣壓下，以模板印刷法(stencil printing)將一過量的封膠材料掃過上述基板上的上述預定封膠區內，使部份上述封裝材料填充於上述基板上的上述預定封膠區內；在大於上述第一氣壓的第二氣壓下，以模板印刷法將未填充於上述基板上的上述封膠材料，掃過已填充於上述基板上的上述封膠材料上；在大於一大氣壓的第三氣壓下，硬化上述封膠材料。本發明之半導體裝置封裝方法，可增加上述半導體裝置的產出，並且更可以避免上述半導體裝置的封膠材料出現氣泡。

伍、(一)、本案代表圖為：第___2D___圖

(二)、本案代表圖之元件代表符號簡單說明：

陸、英文發明摘要 (發明名稱：)



四、中文發明摘要 (發明名稱：半導體裝置封裝方法)

10~ 半 導 體 晶 片

12~ 導 電 凸 塊

50~ 封 膠 設 備

52~ 平 台

60~ 刮 刀

70~ 印 刷 模 板

72~ 網 孔

100~ 基 板

120~ 封 膠 材 料

陸、英文發明摘要 (發明名稱：)



一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十四條第一項優先權

二、☐主張專利法第二十五條之一第一項優先權：

申請案號：

日期：

三、主張本案係符合專利法第二十條第一項☐第一款但書或☐第二款但書規定之期間

日期：

四、☐有關微生物已寄存於國外：

寄存國家：

寄存機構：

寄存日期：

寄存號碼：

☐有關微生物已寄存於國內(本局所指定之寄存機構)：

寄存機構：

寄存日期：

寄存號碼：

☐熟習該項技術者易於獲得, 不須寄存。



五、發明說明 (1)

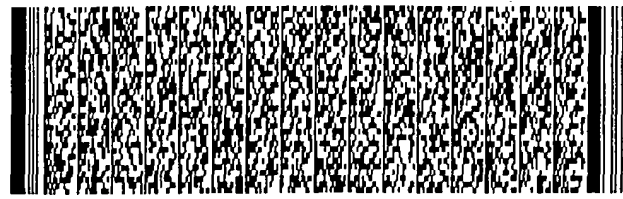
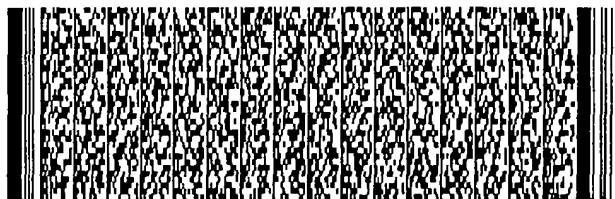
發明所屬之技術領域

本發明係有關於一種半導體裝置封裝方法，特別係有關於一種半導體裝置封裝方法中封膠的製程方法。

先前技術

請參考第1A圖，係顯示一以傳統覆晶(Flip Chip)封裝技術製造的半導體裝置。其中基板(substrate)100a包含複數個封裝單元112a，可封裝複數個半導體裝置。如第1A圖所示，所謂覆晶封裝是將半導體晶片10a以一主動表面朝下的方式與基板進行接合的技術。當基板100a為有機基板(organic substrate)的情況下，由於有機基板之熱膨脹係數(CTE; coefficient of thermal expansion)約為14-17 ppm/°C)與半導體晶片10a例如為矽晶片之CTE(約為4 ppm/°C)差距過大，於熱脹冷縮之際，CTE不匹配所引發之應力很容易導致導電凸塊12a所形成之接點損壞。

因此，為了可靠性的考量，通常需要在基板100a與半導體晶片10a之間隙內填入底膠(underfill)120a，以將應力分散至膠體，藉以降低導電凸塊12a所受到的應力，如此便可減少接點破裂(crack)，抑制破裂之延伸，而延長接點之疲勞壽命。此外，底膠120a係絕緣物質，亦可防止接點間有雜質造成漏電流的傳遞。數據顯示，有填底膠之結構較無填底膠者其可靠性(reliability)高5-10倍。由於底膠可有效地提昇接合之可靠性，因此在覆晶封裝製程中，填底膠為一不可忽略之製程。然而，填膠製程最為人所詬病者在產速過低，導致組裝生產之瓶頸大部份均發生



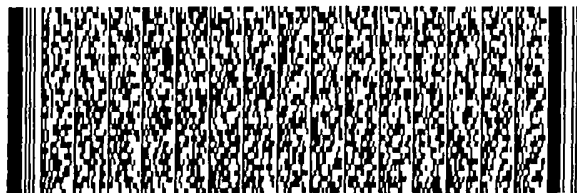
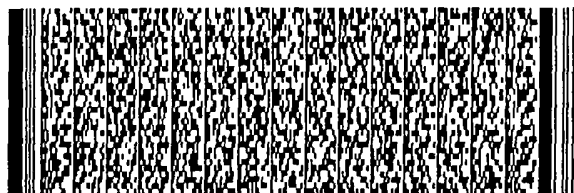
五、發明說明 (2)

在填膠製程。

目前底膠大多以液態封膠材料利用點膠(dispensing)方式填入，其製程首先將低黏性液態膠體點在已黏附在基板100a上的半導體晶片10a旁邊，利用液體在半導體晶片10a與基板10a間微細孔隙所形成的毛細壓力(capillary pressure)作為驅動力，加以滲透並填滿導電凸塊12a間的間隙。此一製程的缺點有下列數項：(1)充填緩慢，在毛細壓力的驅動下，充填時間約略與距離的平方成正比，並視液膠溫度而定充填需時數分鐘至十數分鐘；(2)一組底膠填充設備一次只能對單一個半導體晶片10a做點膠，如果要同時對二個(含)以上的半導體晶片10a做點膠，勢必要準備多組設備，增加成本的負擔。

請參考第1B圖，係顯示一以傳統鐳線接合(wire bonding)封裝技術製造的半導體裝置。其中基板100b包含複數個封裝單元112b，可封裝複數個半導體裝置；半導體晶片10b黏著於各封裝單元112b，以鐳線12b與基板100b電性連結；半導體晶片10b與鐳線12b以一封裝膠體120b覆蓋。另外，亦可將基板100b置換為一捲帶自動接合(tape automatic bonding)形式之基板(未繪示於圖面)，以一導線(未繪示於圖面)取代鐳線12b，與半導體晶片10b電性連結。

除了覆晶封裝技術之外，以液態封膠材料對上述鐳線接合或捲帶自動接合等傳統封裝技術所封裝的半導體裝置進行封膠(molding)製程時，雖然可以同時對二個(含)以

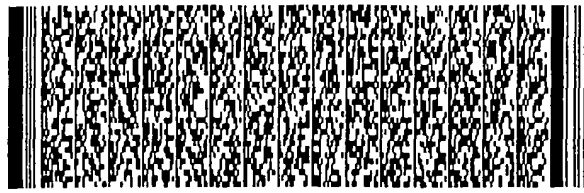
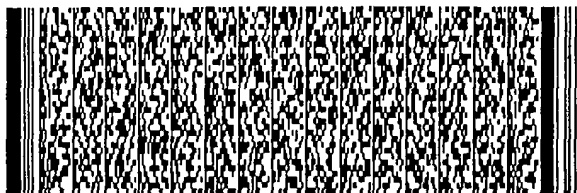


五、發明說明 (3)

上的半導體裝置做點膠而無上述覆晶封裝技術中充填緩慢與成本增加的問題、亦無上述僅在晶片下方與封裝基板間的縫隙完全充填底膠而可能因晶片與膠材間介面接著力較差而可能造成的可靠度不佳的缺點，但是封裝膠體120b內容易殘存氣泡的問題仍會發生。

另外，請參考第1C圖，係顯示一晶片堆疊(stack die)技術封裝的多晶片模組(multi-chip module; MCM)的半導體裝置。其中基板100c包含複數個封裝單元112c，可封裝複數個半導體裝置；半導體晶片10c黏著於各封裝單元112c，以導電凸塊12c與基板100c電性連結；半導體晶片10d黏著並堆疊於半導體晶片10c之上，以鐳線12d與基板100d電性連結；基板100c與半導體晶片10c之間的以導電凸塊12c之空隙係以底膠120c填充；半導體晶片10d、鐳線12d、與底膠120c以一封裝膠體120d覆蓋。另外，亦可將基板100c置換為一複合捲帶自動接合與覆晶形式之基板(未繪示於圖面)，以一導線(未繪示於圖面)取代鐳線12d，與半導體晶片10d電性連結。

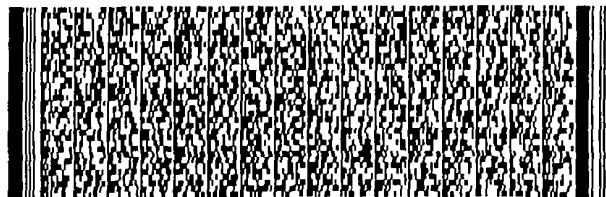
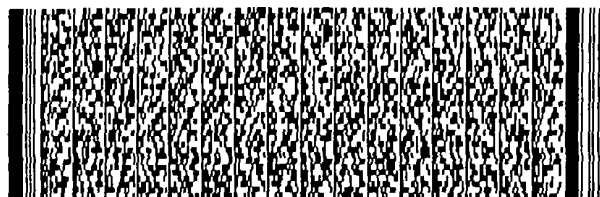
第1C圖所示之MCM半導體裝置中，因複合覆晶與鐳線接合或捲帶自動接合等多種封裝技術，其製程複雜度、製程良率、與產品可靠度等面臨更嚴峻的考驗；除了要同時面對上述覆晶封裝製程中底膠充填緩慢、設備成本、半導體晶片與底膠接合、以及氣泡等問題外，上述傳統鐳線接合或捲帶自動接合等封裝技術中封裝膠體殘留氣泡問題亦會同時發生；再加上封裝膠體120d與底膠120c亦有界面存



五、發明說明 (4)

在，兩者之接合問題又更加成為一影響此半導體裝置製程良率與產品可靠度的因子。

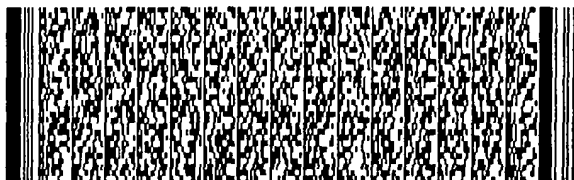
上述半導體裝置內容易殘存氣泡(void)的問題，已有多篇文獻提出相關的解決方法。例如在美國專利第5,834,339號與第6,107,123號中，揭露一種利用壓力將封裝材料填充至晶片及基板間隙的製程(方法)：上述壓力是藉由等向氣體壓力或是藉由靜液壓(hydrostatic pressure)產生，且封裝材料可以是液態點膠的方式；然而，上述的製程在封裝應用上是點膠方式而無法改善生產速率低的缺點，且此技術需要有模具去控制膠材在加壓時的流動而造成額外的附加成本，再加上此技術僅能用在填底膠的製程中。再如美國專利第6,000,924號中，揭露一種底部填充封裝的模封裝置，係針對IC晶片的尺寸特殊設計使其可恰好含蓋整個封裝區域，再控制模具下降的行程及壓力使此模具剛好封蓋晶片頂部又同時與基板間保有一定的間隙可供抽氣(將晶片與基板間隙中的空氣抽出)，而利用壓力將液態膠體填充進此間隙中；然而上述裝置係特殊設計液態模封方式而無法達成泛用型封裝要求(需針對不同尺寸的構裝設計模具而模具的製造成本相對昂貴)，且無法利用單一模具同時對二個(含)以上的半導體裝置做封膠。又如美國專利第6,187,613號中，揭露一種利用金屬薄膜(塑膠薄膜)覆蓋在晶片上、然後再施壓力於其上藉此力量將點膠後之封裝材料底部填充於覆晶與基板間隙中的製程，其中上述金屬薄膜(塑膠薄膜)厚度係0.01 mm~



五、發明說明 (5)

0.1 mm，能承受100 psi的力量；然而上述製程基本上仍是點膠封裝製程而有產速低的缺點，且金屬薄膜成本高、而塑膠薄膜有形變的可能影響封裝尺寸一致性，再加上上述製程亦無法利用單一模具同時對二個(含)以上的半導體裝置做封膠。

另外，美國專利第6,187,613號中，揭露一種藉由抽真空及隨後再加以高壓使點膠後之封裝材料底部填充晶片與基板間隙的製程(方法)；然而上述製程在封裝應用上是點膠方式而無法改善產速低的缺點；且此技術需要點膠量十分精確之點膠機，否則膠材有可能會溢流；抑或是需要針對每個晶片設計頂部封蓋，但是如此一來生產製造成本提高。再如，美國專利第6,255,142號中，揭露一種在可移動式密封空間裡進行點膠並抽真空而利用此壓力差將封膠填充至覆晶與基板的間隙中的製程，上述壓力差是藉由真空環境達成；然而，上述製程基本上仍是點膠封裝製程而有產速低的缺點，且僅有真空壓差是無法完全將封裝材料填充進覆晶間隙中，再加上移動式密封空間十分不利於大量連續式生產。又如，美國專利第6,284,173號中，揭露一種在可移動式密封空間裡進行點膠並抽真空而利用此壓力差將封膠填充至覆晶與基板的間隙中的製程，上述壓力差是藉由真空環境達成一種利用在真空環境下進行點膠，再將此真空環境恢復到常壓下迫使膠材封填IC元件的製程(方法)；然而，上述製程基本上仍是點膠封裝製程而有產速低的缺點，且上述應用在同時對二個(含)以上的半導



五、發明說明 (6)

體裝置進行封膠時的產速及點膠製程均十分緩慢且複雜，再加上上述製程中恢復至常壓做法無法使封裝材料封滿覆晶與基板間隙。

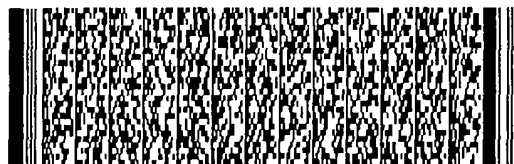
上述的習知技術，均無法滿足一種既可以同時對二個(含)以上的半導體裝置來執行封膠製程、又同時可避免在半導體裝置內產生氣泡、亦可以特別在對覆晶封裝的半導體裝置填底膠時又可以同時封蓋整個晶片、亦適用於包含覆晶封裝在內的所有封裝技術中的半導體裝置封裝方法的需求。

發明內容

有鑑於此，本發明的主要目的係提供一種半導體裝置封裝方法，可以同時對二個(含)以上的半導體裝置來執行封膠製程，而能夠增加上述半導體裝置的產出，又能夠節省上述封膠製程的設備成本。

本發明之另一目的係提供一種半導體裝置封裝方法，可以同時對二個(含)以上的半導體裝置來執行封膠製程、又同時可避免在半導體裝置內產生氣泡，以提升半導體裝置的封裝良率或提升所產出的半導體裝置的可靠度與使用壽命。

本發明之又另一目的係提供一種半導體裝置封裝方法，可以同時對二個(含)以上的半導體裝置來執行封膠製程、又同時可避免在半導體裝置內產生氣泡、亦可以特別在對覆晶封裝的半導體裝置填底膠時又可以同時封蓋整個晶片，以更加提升所產出的半導體裝置的可靠度與使用壽命。



五、發明說明 (7)

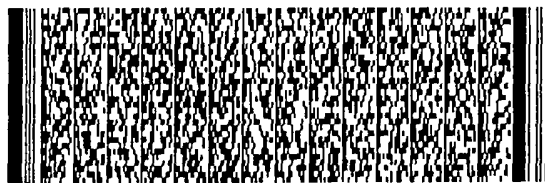
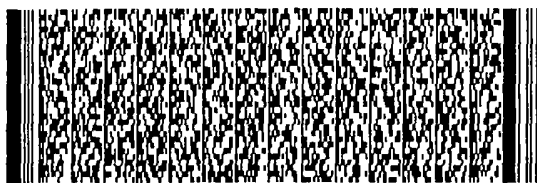
。

本發明之又一目的係提供一種半導體裝置封裝方法，可以同時對二個(含)以上的半導體裝置來執行封膠製程、又同時可避免在半導體裝置內產生氣泡、亦可以特別在對覆晶封裝的半導體裝置填底膠時又可以同時封蓋整個晶片、亦適用於包含覆晶封裝在內的所有封裝技術中的半導體裝置封裝方法的需求，以更能節省上述封膠製程的設備成本、簡化上述封膠製程、並提升半導體裝置的製程良率、產品可靠度與使用壽命。

為達成本發明之上述目的，本發明係提供一種半導體裝置封裝方法，適用於一封膠製程，包括下列步驟：提供一基板，具有複數個半導體裝置，上述半導體裝置分別包含一半導體晶片分別電性連接於上述基板一表面上的一預定封膠區內；在低於一大氣壓的第一氣壓下，以模板印刷法將一過量的封膠材料掃過上述基板上的上述預定封膠區內，使部份上述封裝材料填充於上述基板上的上述預定封膠區內；在大於上述第一氣壓的第二氣壓下，以模板印刷法將未填充於上述基板上的上述封膠材料，掃過已填充於上述基板上的上述封膠材料上；以及在大於一大氣壓的第三氣壓下，硬化上述封膠材料。

為了讓本發明之上述和其他目的、特徵、和優點能更明顯易懂，下文特舉下列實施例與工作例，並配合所附圖示，作詳細說明如下：

實施方式



五、發明說明(8)

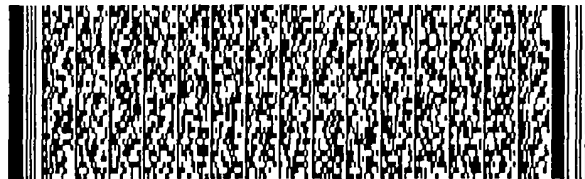
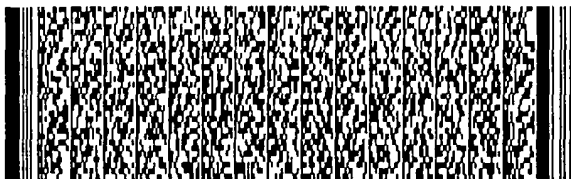
第一實施例

本發明之第一實施例中，係以一覆晶球陣列(flip chip ball grid array;FCBGA)封裝的半導體裝置為例，說明本發明之半導體裝置封裝方法的步驟及其所能達成的功效，但是並不代表本發明的應用就限制於上述FCBGA的半導體裝置的封裝方法，其他封裝形式的半導體裝置：例如以晶片與基板接合方式而言，為鐸線接合、捲帶自動接合、或其他方式的封裝形式；以半導體裝置與外界(例如印刷電路板)的連接方式而言，其他有引腳或無引腳的封裝形式；任何熟習此項技藝者均可使用本發明之半導體裝置封裝方法來封裝上述其他封裝形式的半導體裝置。

步驟一：

請參考第2A圖，提供一基板100，可以是有機或陶瓷基板，在基板100的一表面上，包含一預定封膠區110，複數個封裝單元112包含於預定封膠區110。基板100沿第2A圖中箭號方向的部份上視圖繪示於第2B圖中，注意本發明之第一實施例所使用之基板100之封裝單元112的數量及排列方式並不限於第2B圖所繪示的形式，熟習此技藝者可視其需要而加以變化。

請回到第2A圖，提供複數個半導體晶片10，其主動表面上具有複數個以既定間隔排列的導電凸塊12；將半導體晶片10及其導電凸塊12與各封裝單元112對準後，將半導體晶片10以主動表面向下的方式黏著於基板100上。熟習此技藝者亦可視其需要變更導電凸塊12的數量及其排列方



五、發明說明 (9)

式，亦可將導電凸塊12預先形成於基板100上而不形成於半導體晶片10上。

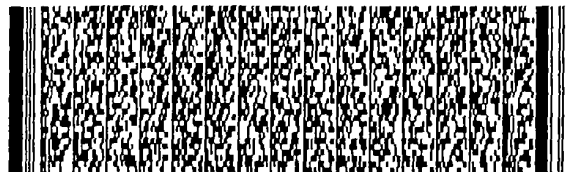
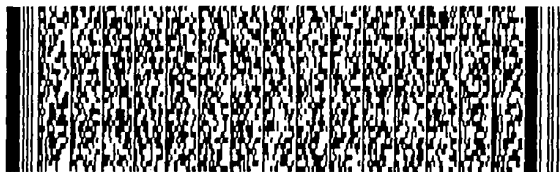
步驟二：

請參考第2C圖，將半導體晶片10黏著並固定於基板100上，其方式可視製程需求而有不同變化。例如：可先將一錫膏(solder paste)(未繪示於圖面)或助焊劑(flux)(未繪示於圖面)形成於各封裝單元內的特定位置，再將半導體晶片10與各封裝單元112對準後，將半導體晶片10置於基板100上，最後再經由一迴焊(reflow)製程，將半導體晶片10焊合於基板100上。此時半導體晶片10與基板100已經由導電凸塊12形成電性連結。

步驟三：

請參考第2D圖，將基板100置於一封膠設備50內的一平台52上，並將一印刷模板70置於平台52與基板100上，印刷模板70的網孔72的範圍係對準基板100的預定封膠區110並與之重合；設定封膠設備50內的氣壓為第一氣壓：0.1 torr~10 torr，俟封膠設備50內部氣壓到達所設定的值並穩定後，利用模板印刷法，使用刮刀(squeeze)60將預先置於印刷模板70上的封膠材料120以A方向經由網孔72形成於基板100上。其中印刷模板70通常為金屬材質，其厚度與網孔72的大小、數量、排列方式，可視基板100的設計方式、預定封膠區110的大小及數量與排列方式、和基板100上所要形成的封裝膠體厚度的不同來作變化。

其中，封膠材料120的主要材質為任何適用於半導體



五、發明說明 (10)

封裝特性要求之材料配方組成。

步驟四：

請參考第2E圖，刮刀60與部份封膠材料120移至印刷模板70的另一端，已形成於基板100上的封膠材料120的內部例如導電凸塊12的間隙中殘留有一些氣泡122；再將封膠設備50內的氣壓設定為大於上述第一氣壓的第二氣壓，俟封膠設備50內的氣壓到達所設定的第二氣壓並穩定後，此時氣泡122因受到較大壓力，其體積會縮小甚或消失，而使已形成於基板100上的封膠材料120因填補上述氣泡122縮小或消失所遺留下來的空間而在表面出現一些凹洞124；再使用刮刀60將殘留於印刷模板70上的封膠材料120以B方向經由網孔72整平已形成於基板100上的封膠材料120的表面。

另外，已形成於基板100上的封膠材料120的厚度可剛好等於半導體晶片10的厚度與半導體晶片10和基板100之間空隙的高度之和，而剛好使半導體晶片10的另一表面裸露；已形成於基板100上的封膠材料120亦可以將半導體晶片10完全覆蓋。

步驟五：

請參考第2F圖，移除刮刀60與印刷模板70，此時基板100上的封膠材料120的表面已整平，其內部的氣泡122幾乎都已消失，仍有可能有極少數的氣泡122殘留於封膠材料120的內部。

步驟六：



五、發明說明 (11)

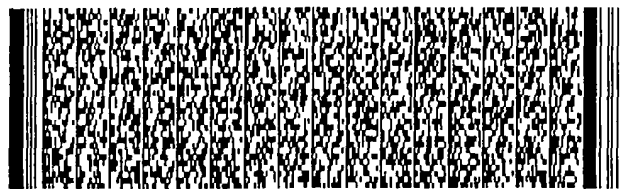
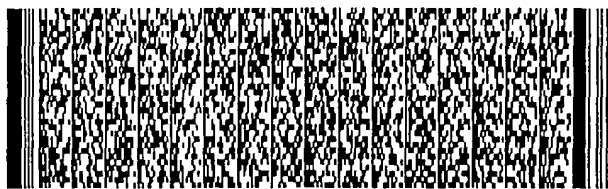
請參考第2G圖，可收集一整批的基板100，放入一或複數個基板篋(magazine)(未繪示於圖面)，在將上述 magazine 放入一加壓烘箱(pressure oven)(未繪示於圖面)或加壓斧(pressure chamber)(未繪示於圖面)內，將氣壓設定為大於一大氣壓、且不大於30 kgf/cm²的第三氣壓，其中上述第三氣壓較佳為3 kgf/cm²~15 kgf/cm²，加壓氣體可為乾燥空氣(dry air)、氮氣(N₂)、或惰性氣體(inert gases)等，以使可能尚殘留於封膠材料120的內部的氣泡122更加縮小或消失。

在加壓的同時，可進行一膠材硬化製程，視封膠材料120的特性設定硬化參數，使封膠材料120成為一具彈性、密封性良好、化學安定性高、且絕緣的封裝膠體126，可保護半導體晶片10與作為半導體晶片10與基板100接點的導電凸塊12，不受半導體晶片10與基板100之間熱膨脹係數的差異所導致的熱應力、以及外界污染物的入侵而受到破壞，亦保護各導電凸塊12之間不因漏電流(leakage)而發生短路的情形。

另外，經由上述第三氣壓加壓的作用，封裝膠體126的內部已經完全沒有上述很可能在後續的熱製程造成半導體裝置的爆米花效應使半導體裝置失效、或在半導體裝置在承受應力時因應力集中而加速破壞而失效的氣泡了。

步驟七：

請參考第2H圖，可視需要將基板100翻面，在基板100另一表面上的特定位置上，形成複數個球狀接合物130。



五、發明說明 (12)

其形成方式例如為：在上述基板100另一表面上的特定位置上分別形成一錫膏(solder paste)(未繪示於圖面)或助錫劑(flux)(未繪示於圖面)，再在上述錫膏或助錫劑上分別放置一具有一定球徑的錫球(solder ball)(未繪示於圖面)，再經由另一迴錫製程將上述錫球錫合於基板100上，形成複數個球狀接合物130。

步驟八：

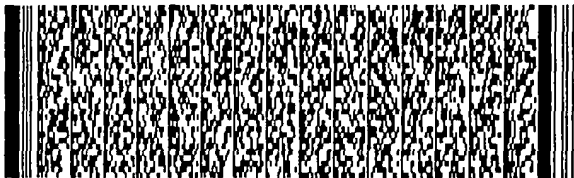
請參考第2I圖，以第2A圖所示的封裝單元112為單位，使用一旋轉刀具80切割基板100，形成如第2J圖所繪示的複數個FCBGA封裝形式的半導體裝置150。

另外，基板100亦可以使用無引腳形式的金屬導線架，在實施時就不執行上述步驟七。

又，在步驟六之後，可額外再加上一階段以上的硬化程序，以確保封裝膠體126能完全硬化。且上述額外的硬化程序可在和步驟七相同的氣壓及加壓氣體下執行，亦可以在一般的一大氣壓的壓力下執行，視製程需求而定。

根據本發明第一實施例之步驟三，本發明之半導體裝置封裝方法，可以同時對二個(含)以上的半導體裝置來執行封膠製程，而能夠增加上述半導體裝置的產出，又能夠節省上述封膠製程的設備成本。

根據本發明第一實施例之步驟三~步驟六，本發明之半導體裝置封裝方法，可以同時對二個(含)以上的半導體裝置來執行封膠製程，又同時可避免在半導體裝置內產生氣泡，以提升半導體裝置的封裝良率或提升所產出的半導



五、發明說明 (13)

體裝置的可靠度與使用壽命。

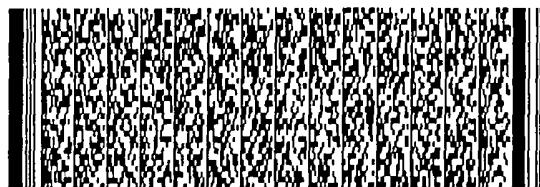
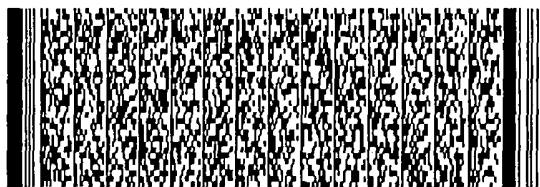
根據本發明第一實施例之步驟三~步驟六，本發明之半導體裝置封裝方法，可以同時對二個(含)以上的半導體裝置來執行封膠製程、又同時可避免在半導體裝置內產生氣泡、亦可以特別在對覆晶封裝的半導體裝置填底膠時又可以同時封蓋整個晶片，以更加提升所產出的半導體裝置的可靠度與使用壽命。

第二實施例

本發明之第二實施例中，係以一晶片堆疊封裝的MCM半導體裝置為例，說明本發明之半導體裝置封裝方法的步驟及其所能達成的功效，特別係本發明之半導體裝置封裝方法，其適用於包含覆晶封裝在內的所有封裝技術中的半導體裝置封裝方法的需求的特性，在以晶片堆疊封裝技術來封裝MCM半導體裝置時，所能夠發揮：更能節省上述封膠製程的設備成本、簡化上述封膠製程、並提升半導體裝置的製程良率、產品可靠度與使用壽命之功效；請參考下列步驟：

步驟一：

請參考第3A圖，提供一基板200，可以是有機或陶瓷基板，在基板200的一表面上，包含一預定封膠區210，複數個封裝單元212包含於預定封膠區210。基板200沿第3A圖中箭號方向的部份上視圖類似於繪示於第2B圖中的基板100，故省略不繪示；注意本發明之第二實施例所使用之基板200之封裝單元212的數量及排列方式並不受限於第2B



五、發明說明 (14)

圖所繪示的形式，熟習此技藝者可視其需要而加以變化。

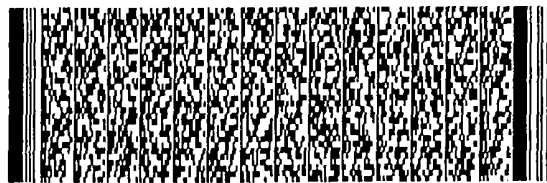
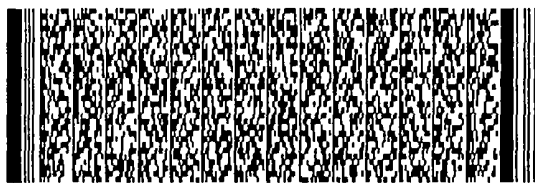
請回到第3A圖，提供複數個半導體晶片20，其主動表面上具有複數個以既定間隔排列的導電凸塊22；將半導體晶片20及其導電凸塊22與各封裝單元212對準後，將半導體晶片20以主動表面向下的方式黏著於基板200上。熟習此技藝者亦可視其需要變更導電凸塊22的數量及其排列方式，亦可將導電凸塊22預先形成於基板200上而不形成於半導體晶片20上。

步驟二：

請參考第3B圖，將半導體晶片20黏著並固定於基板200上，其方式可視製程需求而有不同變化。例如：可先將一錫膏(solder paste)(未繪示於圖面)或助焊劑(flux)(未繪示於圖面)形成於各封裝單元內的特定位置，再將半導體晶片20與各封裝單元212對準後，將半導體晶片20置於基板200上，最後再經由一迴焊(reflow)製程，將半導體晶片20焊合於基板200上。此時半導體晶片20與基板200已經由導電凸塊22形成電性連結。

步驟三：

請參考第3C圖，再提供複數個半導體晶片30，不同於上述覆晶型式的半導體晶片20以主動表面向下的方式黏著於基板200上；半導體晶片30係以主動表面向上的方式分別黏著於各半導體晶片20上，再分別以焊線32與基板200形成電性連結。其中焊線32的材質為金基合金(Au-based alloy)，係以金為主材質，再添加少數合金元素以調整其



五、發明說明 (15)

物理性質者；而在極少數情形下，鐳線32亦有使用以鋁為主材質之導線者。

熟悉此技藝者亦可以視需要增加半導體晶片堆疊的數目，或/並將上述鐳線接合的方式變更為捲帶自動接合或是其他形式。

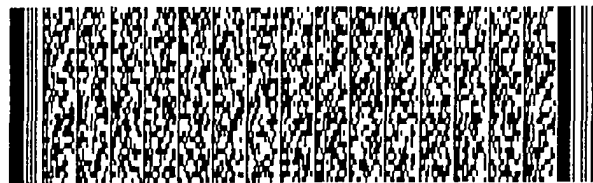
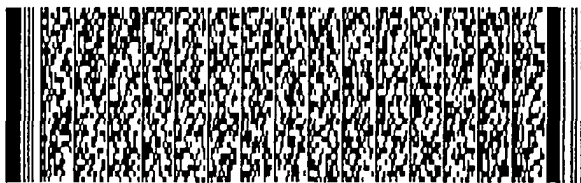
步驟四：

請參考第3D圖，將基板200置於一封膠設備50內的一平台54上，並將一印刷模板90置於平台54與基板100上，印刷模板90的網孔92的範圍係對準基板200的預定封膠區210並與之重合；設定封膠設備50內的氣壓為第一氣壓：0.1 torr~10 torr，俟封膠設備50內部氣壓到達所設定的值並穩定後，利用模板印刷法，使用刮刀(squeegee)60將預先置於印刷模板90上的封膠材料220以A方向經由網孔92形成於基板200上。其中印刷模板90通常為金屬材質，其厚度與網孔92的大小、數量、排列方式，可視基板200的設計方式、預定封膠區210的大小及數量與排列方式、和基板200上所要形成的封裝膠體厚度的不同來作變化。

其中，封膠材料220的主要材質為任何適用於半導體封裝特性要求之材料配方組成。

步驟五：

請參考第3E圖，刮刀60與部份封膠材料220移至印刷模板90的另一端，已形成於基板200上的封膠材料220的内部例如導電凸塊22的間隙中殘留有一些氣泡222；再將封膠設備50內的氣壓設定為大於上述第一氣壓的第二氣壓，



五、發明說明 (16)

俟封膠設備50內的氣壓到達所設定的第二氣壓並穩定後，此時氣泡222因受到較大壓力，其體積會縮小甚或消失，而使已形成於基板200上的封膠材料220因填補上述氣泡222縮小或消失所遺留下來的空間而在表面出現一些凹洞224；再使用刮刀60將殘留於印刷模板90上的封膠材料220以B方向經由網孔92整平已形成於基板200上的封膠材料220的表面。

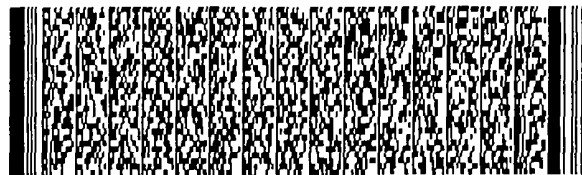
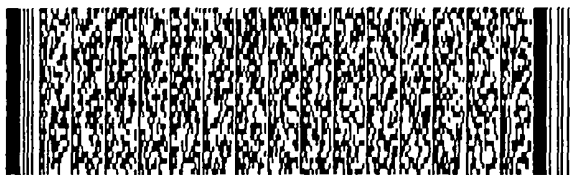
另外，已形成於基板200上的封膠材料220的厚度必須將半導體晶片30與鐳線32完全覆蓋。

步驟六：

請參考第3F圖，移除刮刀60與印刷模板90，此時基板200上的封膠材料220的表面已整平，其內部的氣泡222幾乎都已被逼出，仍有可能有極少數的氣泡222殘留於封膠材料220的內部。

步驟七：

請參考第3G圖，可收集一整批的基板200，放入一或複數個基板篋(magazine)(未繪示於圖面)，在將上述magazine放入一加壓烘箱(pressure oven)(未繪示於圖面)或加壓釜(pressure chamber)(未繪示於圖面)內，將氣壓設定為大於一大氣壓、且不大於 30 kgf/cm^2 的第三氣壓，其中上述第三氣壓較佳為 $3 \text{ kgf/cm}^2 \sim 15 \text{ kgf/cm}^2$ ，加壓氣體可為乾燥空氣(dry air)、氮氣(N_2)、或惰性氣體(inert gases)等，以使可能尚殘留於封膠材料220的內部的氣泡222更加縮小或消失。



五、發明說明 (17)

在加壓的同時，可進行一膠材硬化製程，視封膠材料220的特性設定硬化參數，使封膠材料220成為一具彈性、密封性良好、化學安定性高、且絕緣的封裝膠體226，可保護半導體晶片20、半導體晶片30、作為半導體晶片20與基板200接點的導電凸塊22、與電性連接半導體晶片30與基板200的鐸線32，不受半導體晶片20與基板200之間熱膨脹係數的差異所導致的熱應力、以及外界污染物的入侵而受到破壞，亦保護各導電凸塊22與各鐸線32之間不因漏電流(leakage)而發生短路的情形。

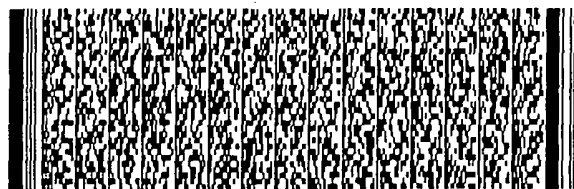
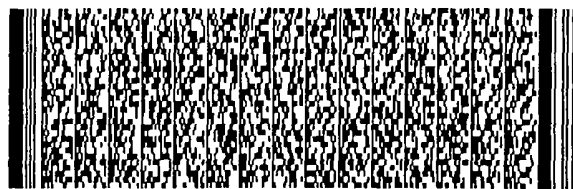
另外，經由上述第三氣壓加壓的作用，封裝膠體226的內部已經完全沒有上述很可能在後續的熱製程造成半導體裝置的爆米花效應使半導體裝置失效、或在半導體裝置在承受應力時因應力集中而加速破壞而失效的氣泡了。

步驟八：

請參考第3H圖，可視需要將基板200翻面，在基板200另一表面上的特定位置上，形成複數個球狀接合物230。其形成方式例如為：在上述基板200另一表面上的特定位置上分別形成一錫膏(solder paste)(未繪示於圖面)或助鐸劑(flux)(未繪示於圖面)，再在上述錫膏或助鐸劑上分別放置一具有一定球徑的錫球(solder ball)(未繪示於圖面)，再經由另一迴鐸製程將上述錫球鐸合於基板200上，形成複數個球狀接合物230。

步驟九：

請參考第3I圖，以第3A圖所示的封裝單元212為單位



五、發明說明 (18)

，使用一旋轉刀具80切割基板200，形成如第3J圖所繪示的複數個MCM的半導體裝置250。

另外，基板200亦可以使用無引腳形式的金屬導線架，在實施時就不執行上述步驟九。

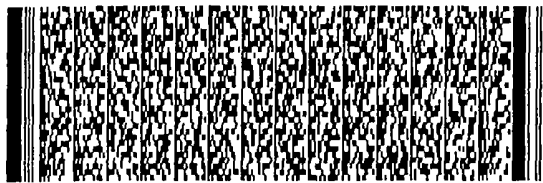
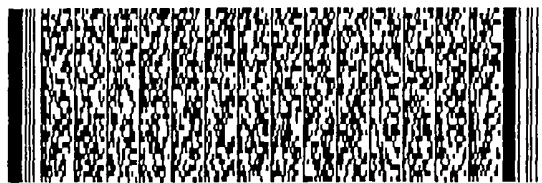
又，在步驟七之後，可額外再加上一階段以上的硬化程序，以確保封裝膠體226能完全硬化。且上述額外的硬化程序可在和步驟七相同的氣壓及加壓氣體下執行，亦可以在一般的一大氣壓的壓力下執行，視製程需求而定。

而所謂的MCM的半導體裝置，並不侷限於以晶片堆疊技術封裝的半導體裝置250，亦包含如第3K圖所示，半導體晶片未堆疊的MCM的半導體裝置。而熟悉此項技藝者，亦可以在不增加封膠製程複雜度的情形下，結合半導體裝置250、260在同一MCM的半導體裝置內裝設有堆疊與未堆疊的半導體晶片。

根據本發明第二實施例之步驟四，本發明之半導體裝置封裝方法，可以同時對二個(含)以上的半導體裝置來執行封膠製程，而能夠增加上述半導體裝置的產出，又能夠節省上述封膠製程的設備成本。

根據本發明第二實施例之步驟四~步驟七，本發明之半導體裝置封裝方法，可以同時對二個(含)以上的半導體裝置來執行封膠製程、又同時可避免在半導體裝置內產生氣泡，以提升半導體裝置的封裝良率或提升所產出的半導體裝置的可靠度與使用壽命。

根據本發明第二實施例之步驟四~步驟七，本發明之



五、發明說明 (19)

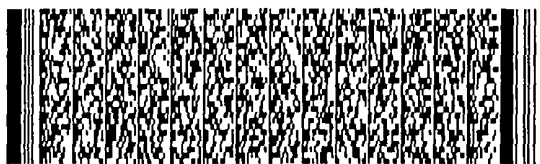
半導體裝置封裝方法，可以同時對二個(含)以上的半導體裝置來執行封膠製程、又同時可避免在半導體裝置內產生氣泡、亦可以特別在對覆晶封裝的半導體裝置填底膠時又可以同時封蓋整個晶片，以更加提升所產出的半導體裝置的可靠度與使用壽命。

根據本發明第二實施例之步驟四~步驟七，本發明之半導體裝置封裝方法，可以同時對二個(含)以上的半導體裝置來執行封膠製程、又同時可避免在半導體裝置內產生氣泡、亦可以特別在對覆晶封裝的半導體裝置填底膠時又可以同時封蓋整個晶片、亦適用於包含覆晶封裝在內的所有封裝技術中的半導體裝置封裝方法的需求，以更能節省上述封膠製程的設備成本、簡化上述封膠製程、並提升半導體裝置的製程良率、產品可靠度與使用壽命。

根據本發明上述的第一與第二實施例，本發明之半導體裝置封裝方法，係達成所有上述的本發明的主要目的與其他目的。

工作例

在以下工作例中，係以三組FCBGA作為實例來證明本發明之半導體製造方法確實可以有效避免在半導體裝置的封裝膠體產生氣泡之效果。因上述習知技術中，以覆晶技術封裝之半導體裝置，在半導體晶片與基板之間容易有殘存氣泡的問題。因此，在以下工作例中，本發明之半導體製造方法可以有效避免在以覆晶技術封裝之半導體裝置的封裝膠體產生氣泡，即表示本發明之半導體製造方法更可



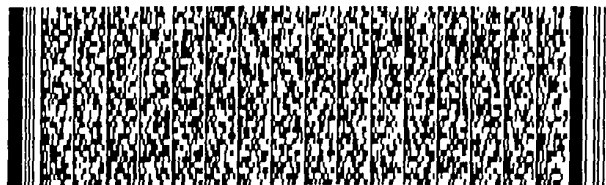
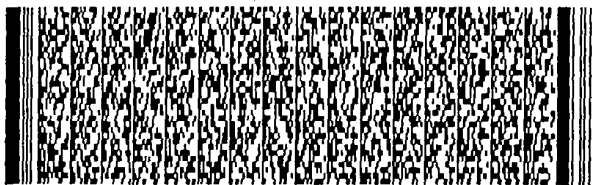
五、發明說明 (20)

以有效避免在以鐸線接合、捲帶自動接合、或其他封裝技術封裝之半導體裝置的封裝膠體產生氣泡。

在以下工作例中，因為係以FCBGA作為實例，其製程步驟便是按照上述第一實施例來實施。下列例一、例二係為實驗組，實施的過程中均按照本發明之第一實施例中所各步驟敘述的條件而為實施；而例三係為對照組，其實施的條件則略有不同。而下列例一、例二的實施條件乃眾多的實例之一，不應由此從而限制本發明之半導體封裝方法的實施條件，熟悉此技藝者當依其所要封裝的產品別、材料來源、設備條件等，在不脫離本發明之特徵與精神下而有所變化。

例一：

提供一第一基板，上述第一基板之一表面上具有一面積為40 mm×40 mm的預定封膠區，上述預定封膠區內具有9個封裝單元，以3×3矩陣排列。而後依照本發明第一實施例之步驟一開始依序而為實施；在步驟三時，所使用的印刷模板之網孔大小為40 mm×40 mm、印刷模板厚度為約0.8 mm，所使用之液態封膠材料(liquid encapsulant)係黏度為約120Pa.S、由Matsushita Electric Works Co. (MEW)出品之 CV-5400A產品，上述第一基板在封膠設備內所設定0.7torr的氣壓下利用Teflon材質之刮刀進行模板印刷步驟；再依序實施至步驟七；在步驟七前，先觀察上述第一基板上的封膠材料內部有無氣泡及分佈情形，並加以紀錄後，執行步驟七；在步驟七時，將上述第一基板移

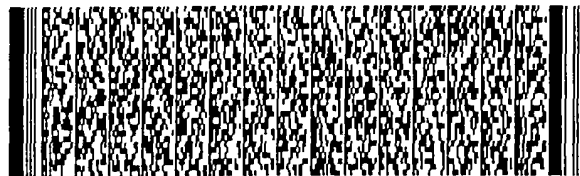
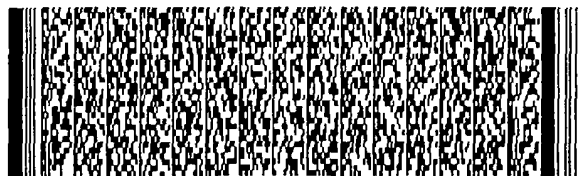


五、發明說明 (21)

至壓力烘箱中，設定加入壓力為約 5kgf/cm^2 、加壓氣體為乾燥空氣(dry air)，同時升溫進行第一段硬化過程： $100^\circ\text{C}/1\text{hr}$ ，俟第一段硬化結束後將上述第一基板移至一般烘箱再進行第二階段後硬化： $150^\circ\text{C}/3\text{hrs}$ ，即完成封膠硬化製程；接下來，觀察並紀錄上述第一基板上的封膠材料內部有無氣泡及分佈情形。

例二：

提供一第二基板，上述第二基板之一表面上具有一面積為 $40\text{ mm} \times 40\text{ mm}$ 的預定封膠區，上述預定封膠區內具有9個封裝單元，以 3×3 矩陣排列。而後依照本發明第二實施例之步驟一開始依序而為實施；在步驟三時，所使用的印刷模板之網孔大小為 $40\text{ mm} \times 40\text{ mm}$ 、印刷模板厚度為約 0.8 mm ，所使用之液態封膠材料(liquid encapsulant)係黏度為約 30Pa.S 、由Matsushita Electric Works Co. (MEW)出品之 CV-5351A 產品，上述第二基板在封膠設備內所設定 0.7torr 的氣壓下利用Teflon材質之刮刀進行模板印刷步驟；再依序實施至步驟七；在步驟七前，先觀察上述第二基板上的封膠材料內部有無氣泡及分佈情形，並加以紀錄後，執行步驟七；在步驟七時，將上述第二基板移至壓力烘箱中，設定加入壓力為 5kgf/cm^2 、加壓氣體為乾燥空氣(dry air)，同時升溫進行第一段硬化過程： $100^\circ\text{C}/1\text{hr}$ ，俟第一段硬化結束後將上述第二基板移至一般烘箱再進行第二階段後硬化： $150^\circ\text{C}/3\text{hrs}$ ，即完成封膠硬化製程；接下來，觀察並紀錄上述第二基板上的封膠材



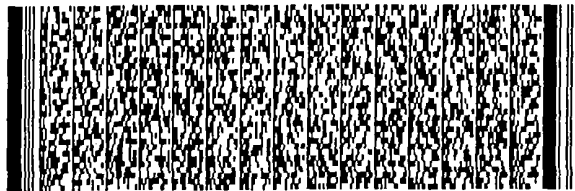
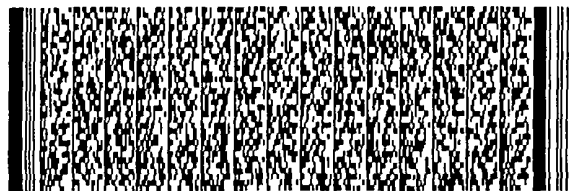
五、發明說明 (22)

料內部有無氣泡及分佈情形。

例三：

提供一第三基板，上述第三基板之一表面上具有一面積為40 mm×40 mm的預定封膠區，上述預定封膠區內具有9個封裝單元，以3×3矩陣排列。而後依照本發明第三實施例之步驟一開始依序而為實施；在步驟三時，所使用的印刷模板之網孔大小為40 mm×40 mm、印刷模板厚度為約0.8 mm，所使用之液態封膠材料(liquid encapsulant)係黏度為約120Pa.S、由Matsushita Electric Works Co. (MEW)出品之 CV-5400A產品，上述第三基板在封膠設備內所設定0.7torr的氣壓下利用Teflon材質之刮刀進行模板印刷步驟；再依序實施至步驟七；在步驟七前，先觀察上述第三基板上的封膠材料內部有無氣泡及分佈情形，並加以紀錄後，執行步驟七；在步驟七時，將上述第三基板移至一般烘箱中，此時壓力為約1 atm，升溫進行第一段硬化過程：100℃/1hr，再進行第二階段後硬化：150℃/3hrs，即完成封膠硬化製程；接下來，觀察並紀錄上述第三基板上的封膠材料內部有無氣泡及分佈情形。

請參考第4A~4B圖，係一系列之照片，顯示上述本發明工作例之例一之實驗結果。第4A圖係顯示，在執行本發明第一實施例步驟七前所紀錄到一氣泡；而在第4B圖係顯示在執行本發明第一實施例步驟七之後，上述的氣泡便完全消失，係證明本發明之半導體製造方法確實可以有效避免在半導體裝置的封裝膠體產生氣泡之效果。

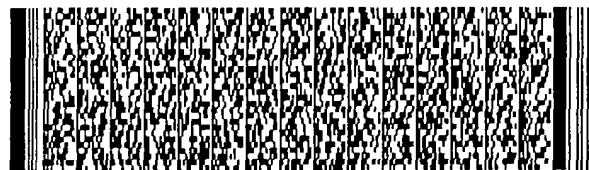
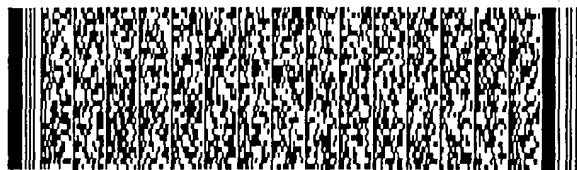


五、發明說明 (23)

請參考第5A~5B圖，係一系列之照片，顯示上述本發明工作例之例二之實驗結果。其中上述例二與例一之差別在例一所使用的液態封膠材料黏度為120 Pa.S，大於例二所使用黏度為30 Pa.S的液態封膠材料。第5A圖係顯示，在執行本發明第一實施例步驟七前所紀錄到一氣泡，因所使用的液態封膠才黏度較小，上述氣泡的直徑因而較第4A圖所顯示之例一之液態封裝材料內之氣泡為小；而在第5B圖係顯示在執行本發明第一實施例步驟七之後，上述的氣泡便完全消失，係證明本發明之半導體製造方法確實可以有效避免在半導體裝置的封裝膠體產生氣泡之效果。

請參考第6圖，係一照片，顯示上述本發明工作例之例三之實驗結果。其中上述例三與例一之差別在步驟七時，例三未執行如本發明半導體封裝方法之加壓程序而直接硬化上述第三基板上的封膠材料，因此在本發明第一實施例之步驟七前後所觀察到的氣泡並無發生改變，在上述封膠材料硬化成封裝膠體之後，該氣泡依然存在於上述的封裝膠體中。

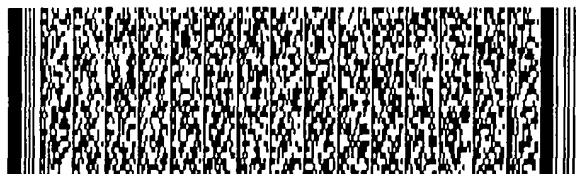
由上述工作例之實施結果可以證明本發明之半導體製造方法確實可以有效避免在半導體裝置的封裝膠體產生氣泡之效果，係達成上述「本發明之半導體裝置封裝方法，可以同時對二個(含)以上的半導體裝置來執行封膠製程、又同時可避免在半導體裝置內產生氣泡，以提升半導體裝置的封裝良率或提升所產出的半導體裝置的可靠度與使用壽命」的另一目的。



五、發明說明 (24)

另外，由上述工作例之實施結果可以說明，本發明之半導體裝置封裝方法在有效避免在半導體裝置的封裝膠體產生氣泡之效果方面，以上述本發明之第一實施例為例的步驟三~步驟七在實施上，實為不可或缺的必要條件。

雖然本發明已以較佳實施例揭露如上，然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作些許之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。



圖式簡單說明

第1A~1C圖係一系列之剖面圖，用以說明習知的半導體裝置封裝技術及其所製造之半導體裝置。

第2A~2J圖係一系列之剖面圖，用以說明本發明第一實施例之實施流程。

第3A~3K圖係一系列之剖面圖，用以說明本發明第二實施例之實施流程。

第4A~4B圖係一系列之照片，用以說明本發明工作例之例一之實驗結果。

第5A~5B圖係一系列之照片，用以說明本發明工作例之例二之實驗結果。

第6圖係一系列之照片，用以說明本發明工作例之例三之實驗結果。

符號說明

10、20、30~半導體晶片

10a、10b、10c、10d~半導體晶片;12、22~導電凸塊;

12a、12c~導電凸塊;12b、12d、32~鐳線;50~封膠設備;

52、54~平台;60~刮刀;70、90~印刷模板;72、92~網孔;

80~旋轉刀具;100、200~基板;100a、100b、100c~基板;

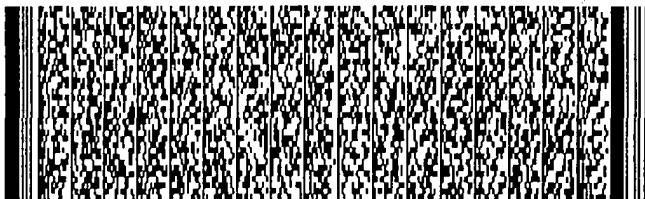
110、210~預定封膠區;112、212~封裝單元;

112a、112b、112c~封裝單元;120、220~封膠材料;

120a、120c~底膠;120b、120d~封裝膠體;122、222~氣泡;

124、224~凹洞;126、226~封裝膠體;

130、230~球狀接合物;150、250、260~半導體裝置。



六、申請專利範圍

1. 一種半導體裝置封裝方法，適用於一封膠製程，包括下列步驟：

提供一基板，其具有複數個半導體裝置，且該些半導體裝置分別包含一半導體晶片分別電性連接於該基板一表面上的一預定封膠區內；

在低於一大氣壓的第一氣壓下，以模板印刷法(stencil printing)將一過量的封膠材料掃過該基板上的該預定封膠區內，使部份該封裝材料填充於該基板上的該預定封膠區內；

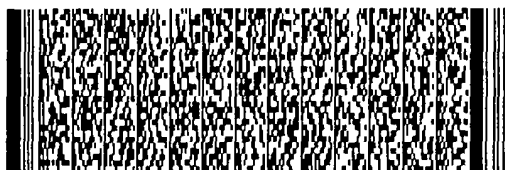
在大於該第一氣壓的第二氣壓下，以模板印刷法將未填充於該基板上的該封膠材料，掃過已填充於該基板上的該封膠材料上；以及

在大於一大氣壓的第三氣壓下，硬化該封膠材料。

2. 如申請專利範圍第1項所述之半導體裝置封裝方法，其中該些半導體晶片與該基板電性連接的方式係以覆晶方式與該基板電性連接，且各該半導體晶片與該基板之間分別具有一空隙，並在各該空隙中具有複數個以一間隔排列的導電凸塊電性連接各該半導體晶片與該基板。

3. 如申請專利範圍第1項所述之半導體裝置封裝方法，其中已填充於該基板上的該封膠材料係完全覆蓋該些半導體晶片。

4. 如申請專利範圍第2項所述之半導體裝置封裝方法，其中該封膠材料更填充於各該晶片與該基板的空隙和該些導電凸塊之間的間隔。



六、申請專利範圍

5. 如申請專利範圍第2項所述之半導體裝置封裝方法，其中已填充於該基板上的該封膠材料的厚度，不小於該空隙高度與該半導體晶片厚度之和。

6. 如申請專利範圍第1項所述之半導體裝置封裝方法，其中該第一氣壓為0.1 torr~10 torr。

7. 如申請專利範圍第1項所述之半導體裝置封裝方法，其中該第三氣壓為不大於30 kgf/cm²。

8. 如申請專利範圍第1項所述之半導體裝置封裝方法，其中該第三氣壓為3 kgf/cm²~15 kgf/cm²。

9. 如申請專利範圍第1項所述之半導體裝置封裝方法，其中提供該第三氣壓的氣體係擇自：乾燥空氣(dry air)、氮氣(N₂)、或惰性氣體(inert gases)。

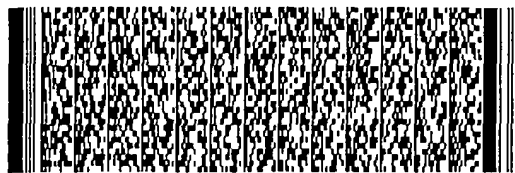
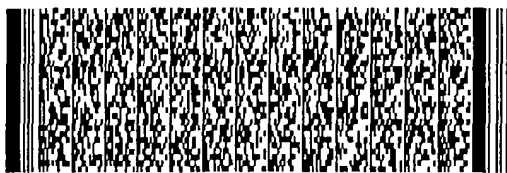
10. 一種半導體裝置封裝方法，包括下列步驟：

提供一基板與複數個半導體晶片，其中該基板的一表面上具有一預定封膠區，該預定封膠區包含複數個封裝單元；

將該些半導體晶片分別置於該些封裝單元內，分別電性連接於該基板；

在低於一大氣壓的第一氣壓下，以模板印刷法(stencil printing)將一過量的封膠材料掃過該基板上的該預定封膠區內，使部份該封裝材料填充於該基板上的該預定封膠區內；

在大於該第一氣壓的第二氣壓下，以模板印刷法將未填充於該基板上的該封膠材料，掃過已填充於該基板上的



六、申請專利範圍

該封膠材料上；

在大於一大氣壓的第三氣壓下，第一段硬化該封膠材料；以及

以該些封裝單元為單位，將該基板分割成複數個半導體裝置。

11. 如申請專利範圍第10項所述之半導體裝置封裝方法，其中該些半導體晶片係以覆晶方式與該基板電性連接，且各該半導體晶片與該基板之間分別具有一空隙，並在各該空隙中具有複數個以一間隔排列的導電凸塊電性連接各該半導體晶片與該基板。

12. 如申請專利範圍第10項所述之半導體裝置封裝方法，其中已填充於該基板上的該封膠材料係完全覆蓋該些半導體晶片。

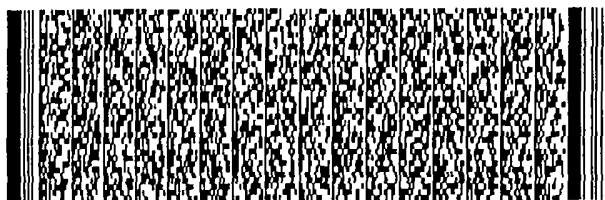
13. 如申請專利範圍第11項所述之半導體裝置封裝方法，其中該封膠材料更填充於各該晶片與該基板的空隙和該些導電凸塊之間的間隔。

14. 如申請專利範圍第11項所述之半導體裝置封裝方法，其中已填充於該基板上的該封膠材料的厚度，不小於該空隙高度與該半導體晶片厚度之和。

15. 如申請專利範圍第10項所述之半導體裝置封裝方法，其中該第一氣壓為0.1 torr~10 torr。

16. 如申請專利範圍第10項所述之半導體裝置封裝方法，其中該第三氣壓為不大於30 kgf/cm²。

17. 如申請專利範圍第10項所述之半導體裝置封裝方



六、申請專利範圍

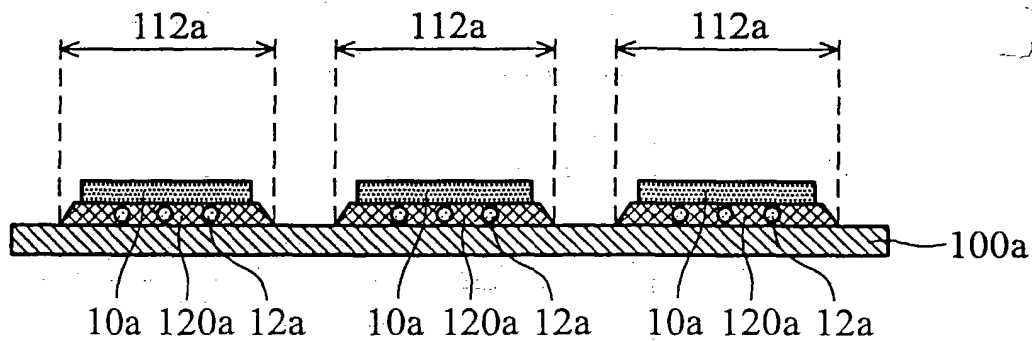
法，其中該第三氣壓為 $3 \text{ kgf/cm}^2 \sim 15 \text{ kgf/cm}^2$ 。

18. 如申請專利範圍第10項所述之半導體裝置封裝方法，其中提供該第三氣壓的氣體係擇自：乾燥空氣(dry air)、氮氣(N_2)、或惰性氣體(inert gases)。

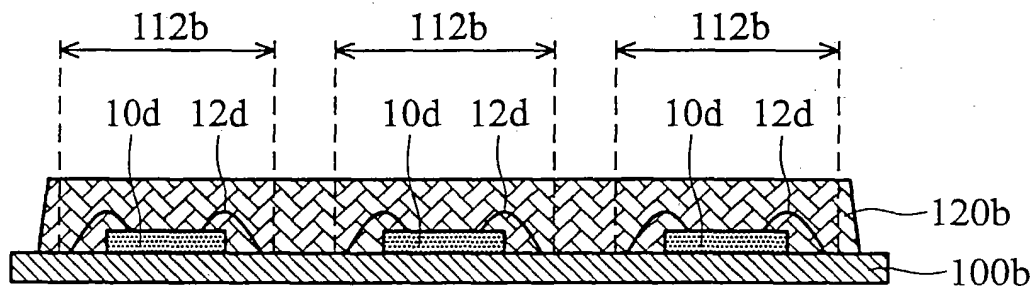
19. 如申請專利範圍第10項所述之半導體裝置封裝方法，更包含一第二段硬化步驟，確保該封膠材料完全硬化。

20. 如申請專利範圍第10項所述之半導體裝置封裝方法，更包含形成一各該半導體裝置的接腳或球狀接合物。

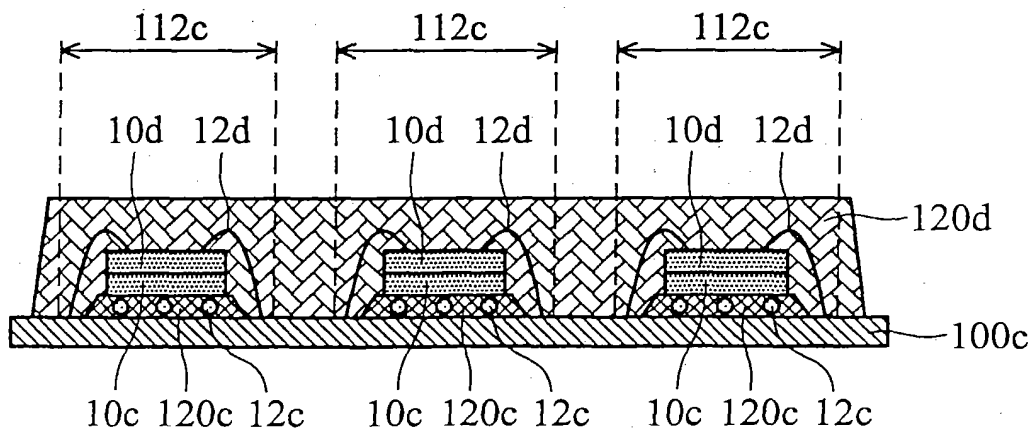




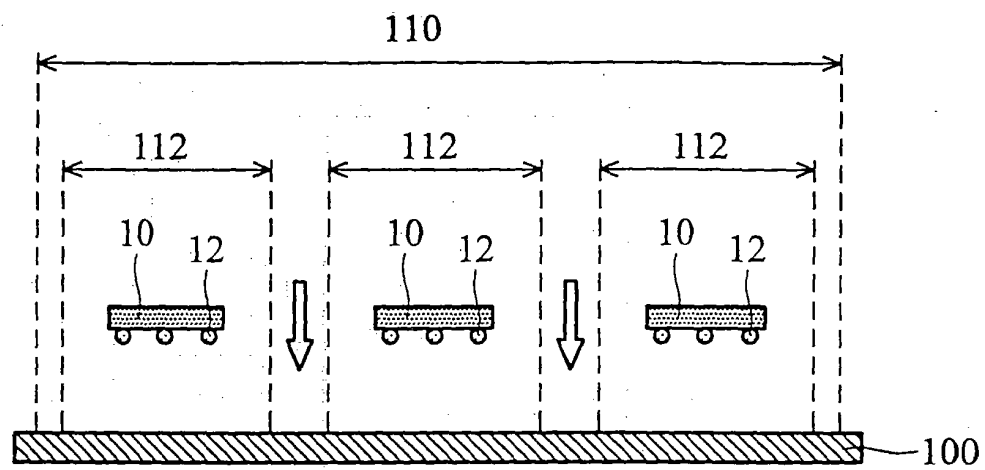
第1A圖



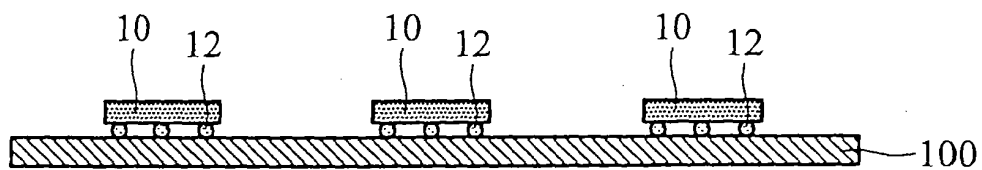
第1B圖



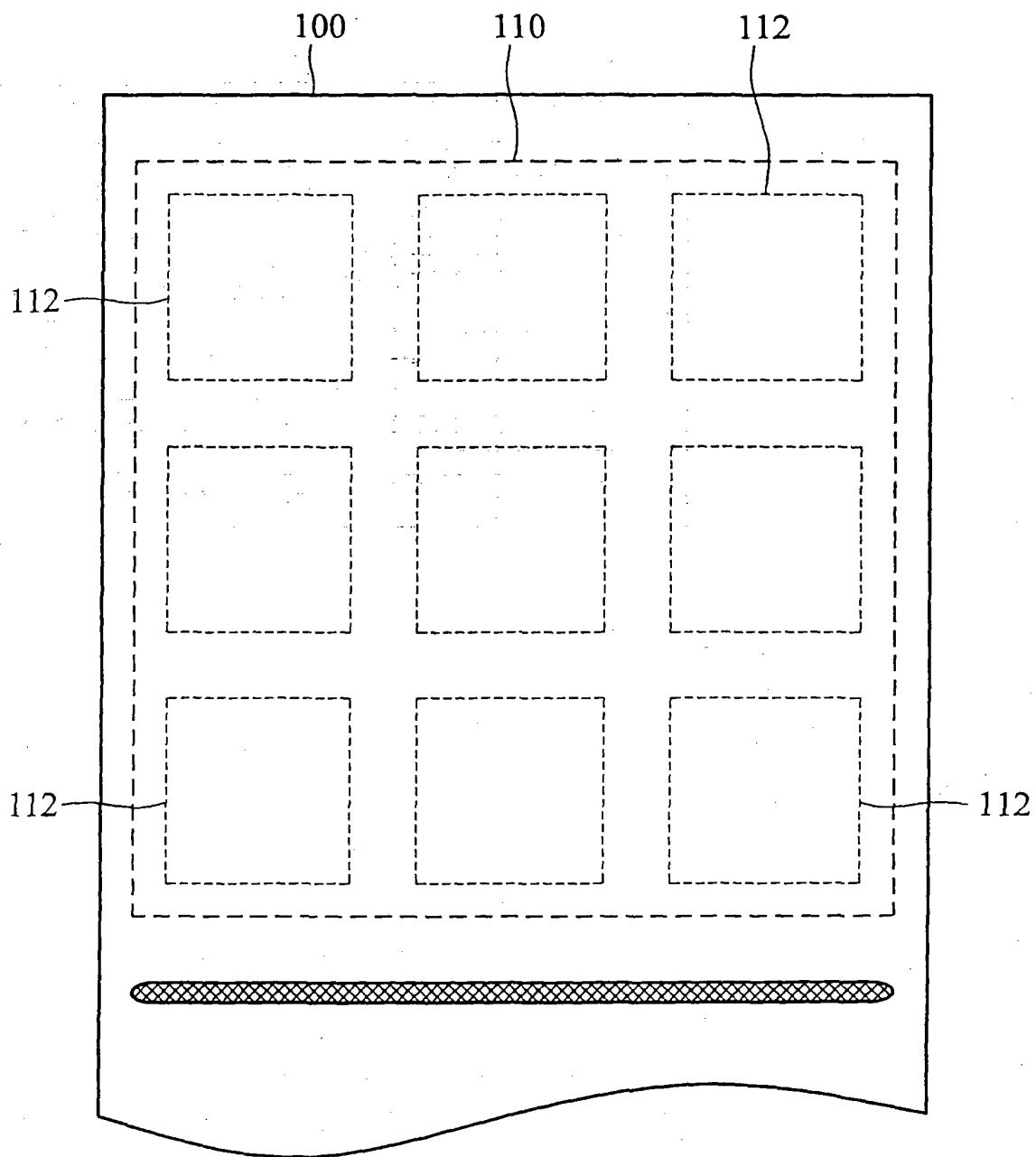
第1C圖



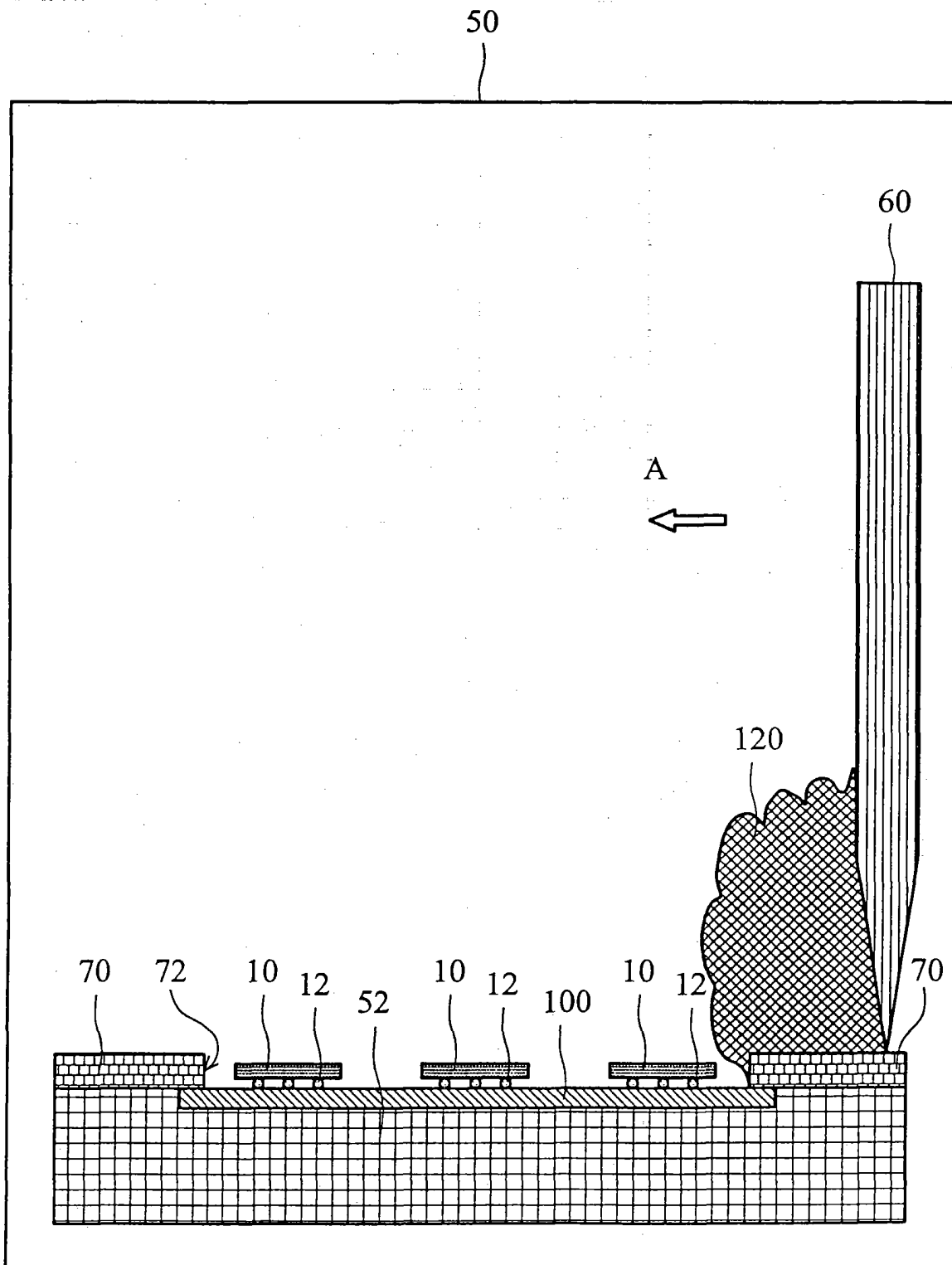
第2A圖



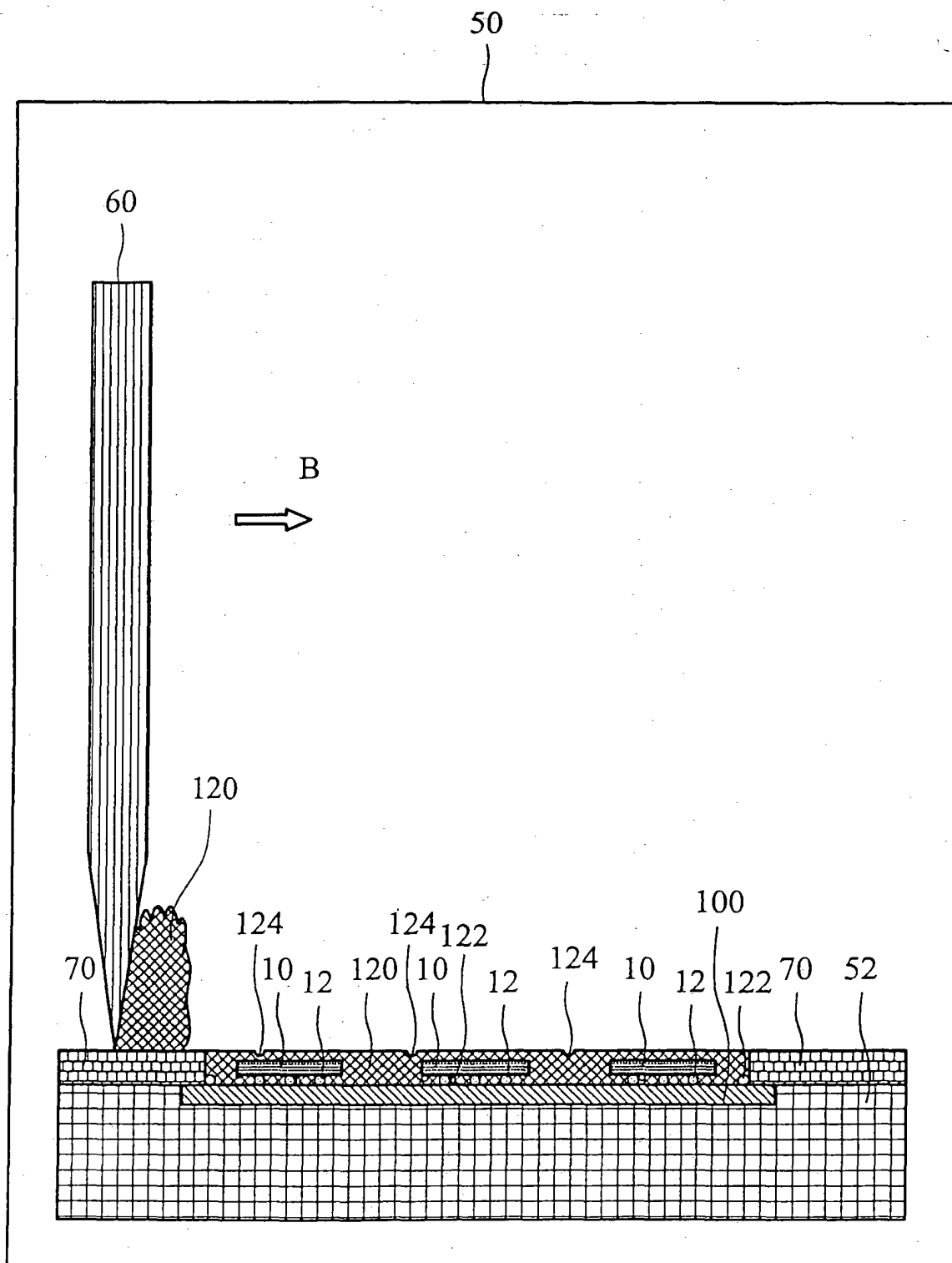
第2C圖



第 2B 圖

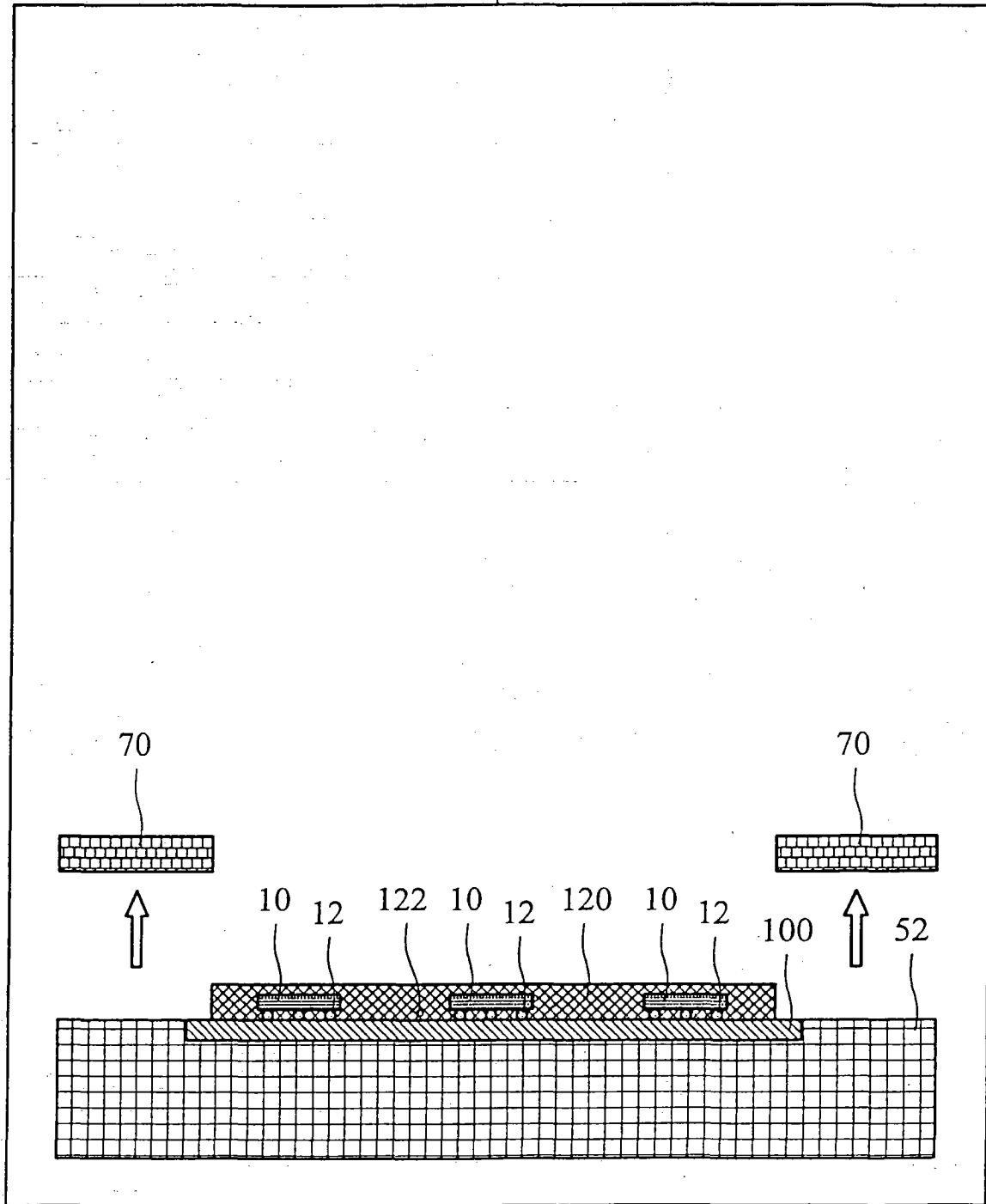


第2D圖

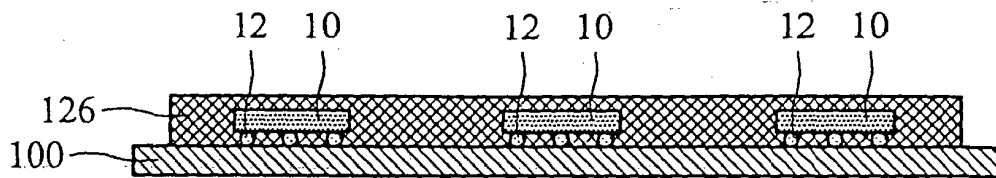


第2E圖

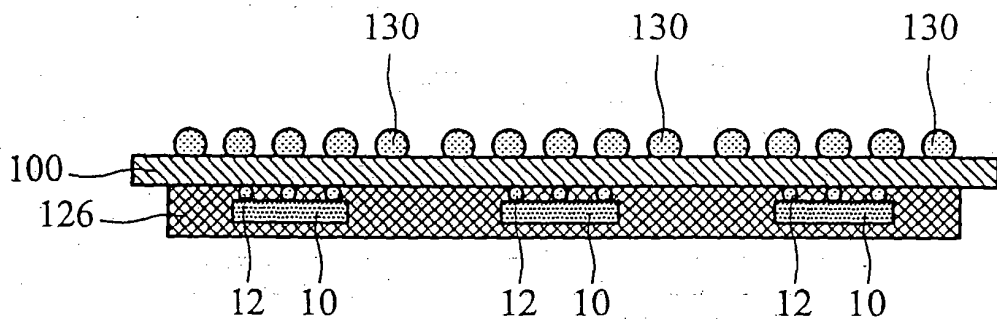
50



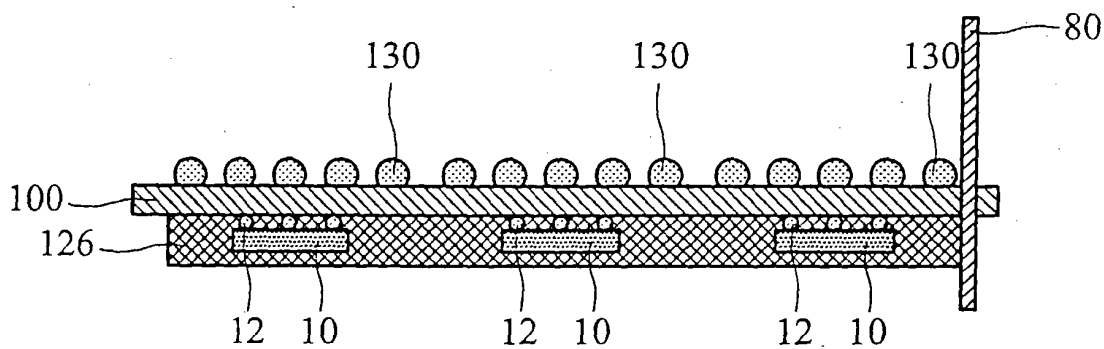
第2F圖



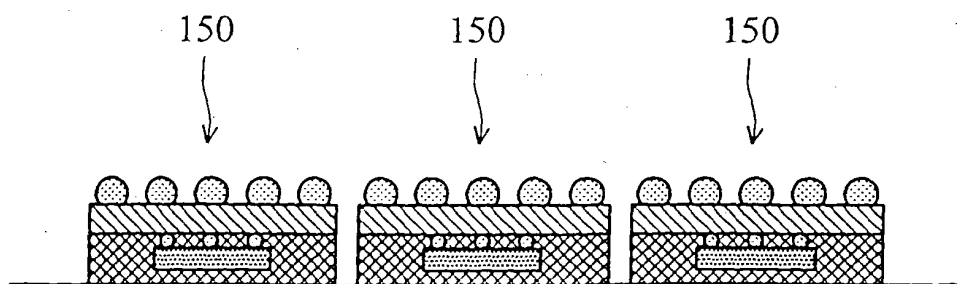
第2G圖



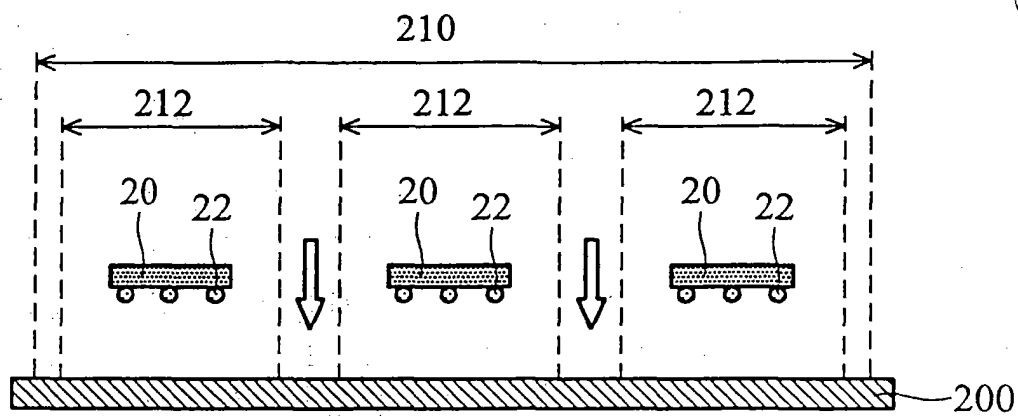
第2H圖



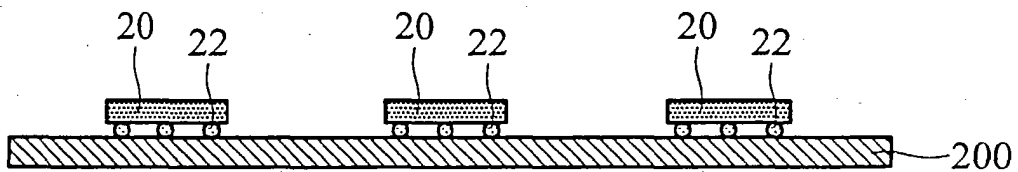
第2I圖



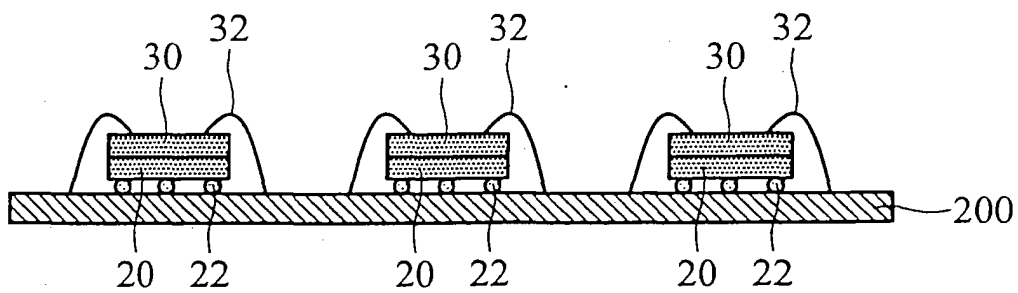
第2J圖



第3A圖

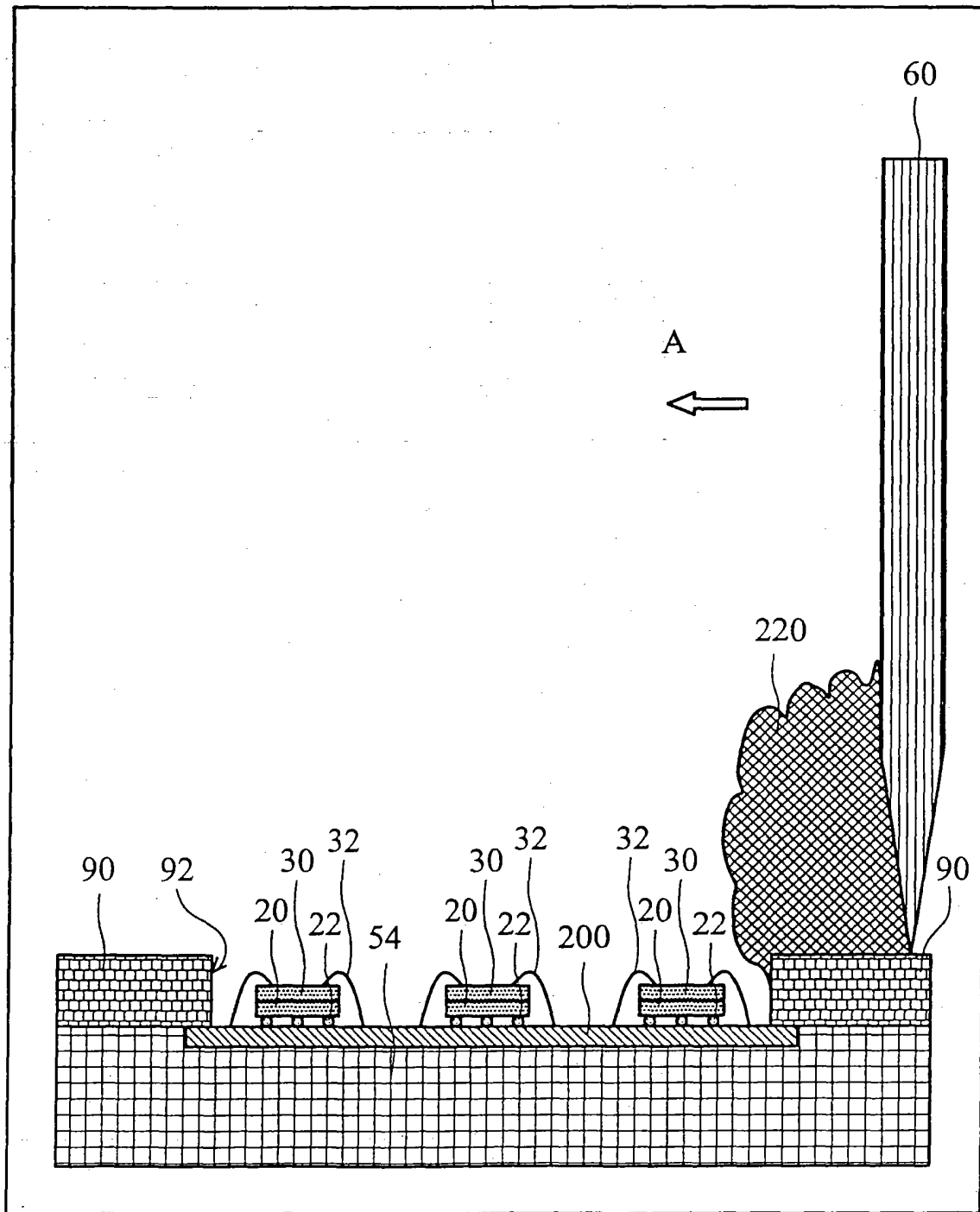


第3B圖



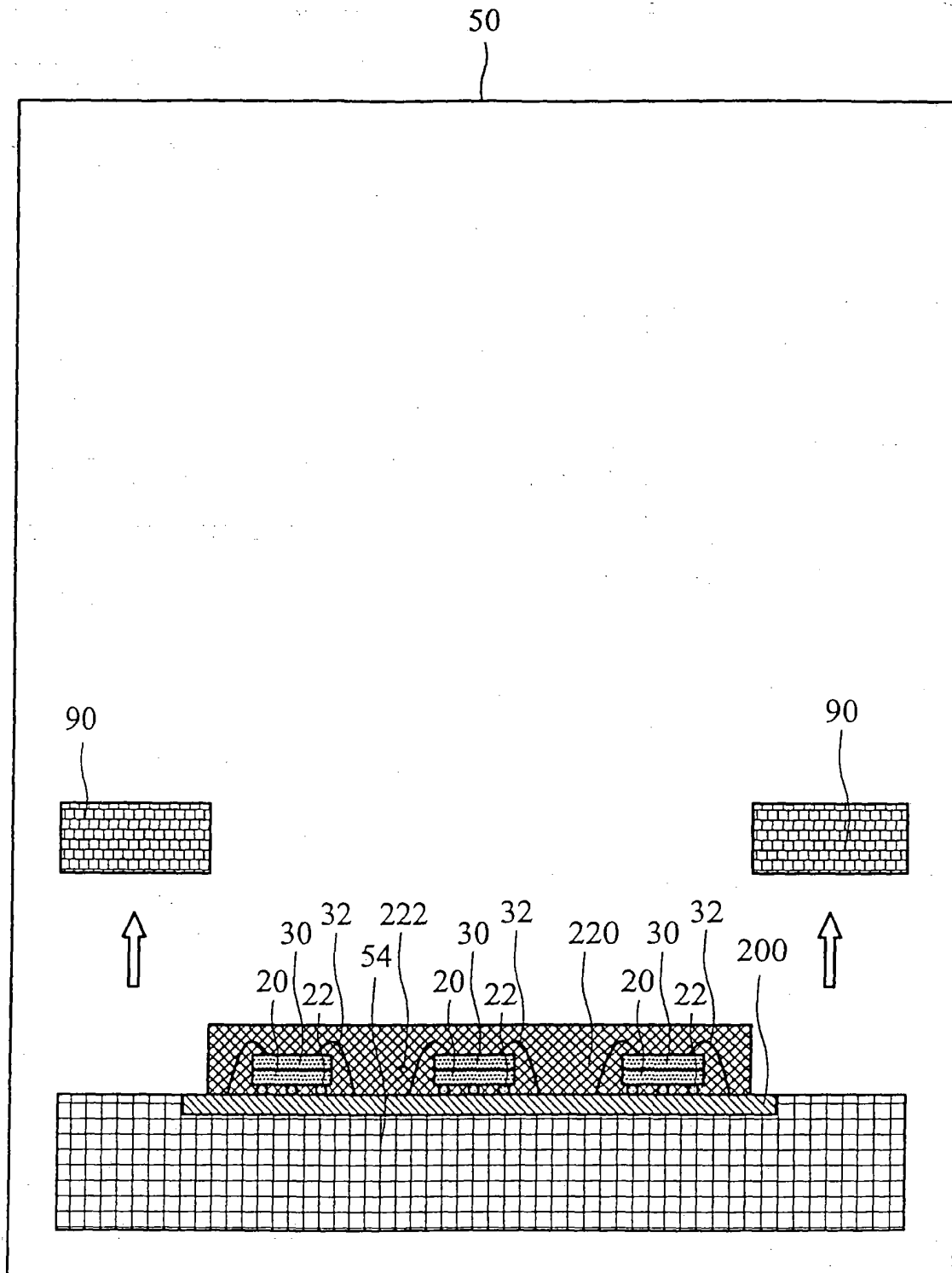
第3C圖

50

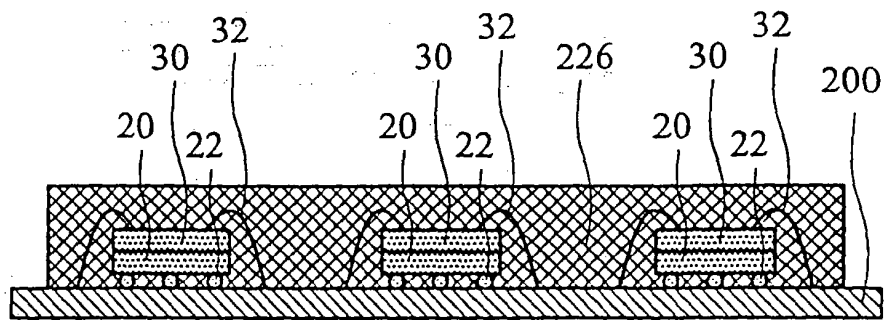


第3D圖

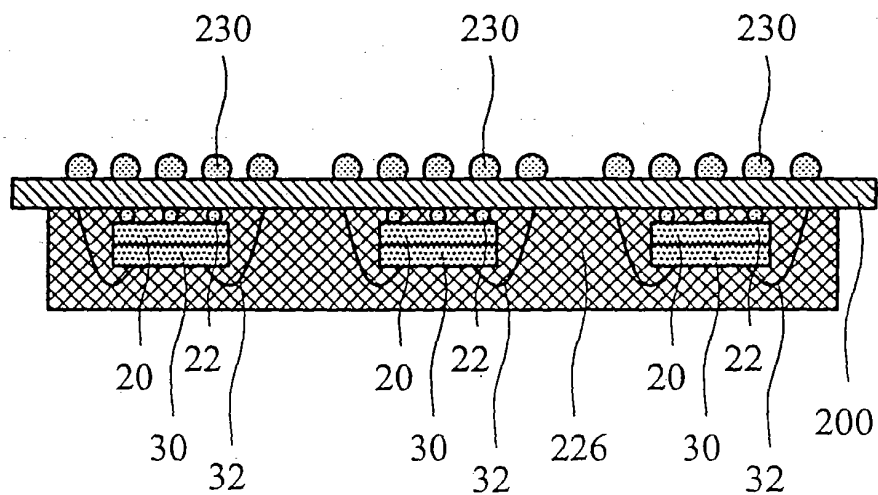




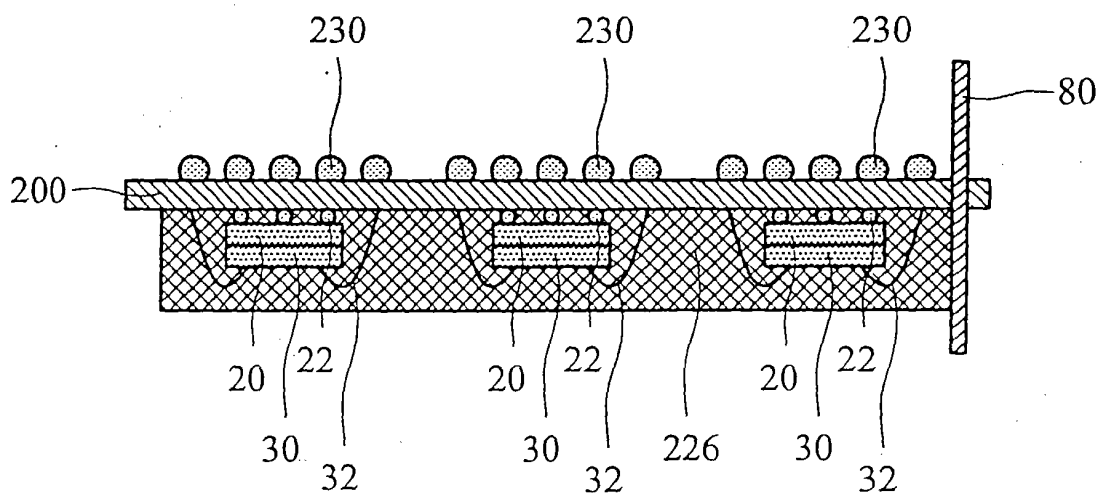
第3F圖



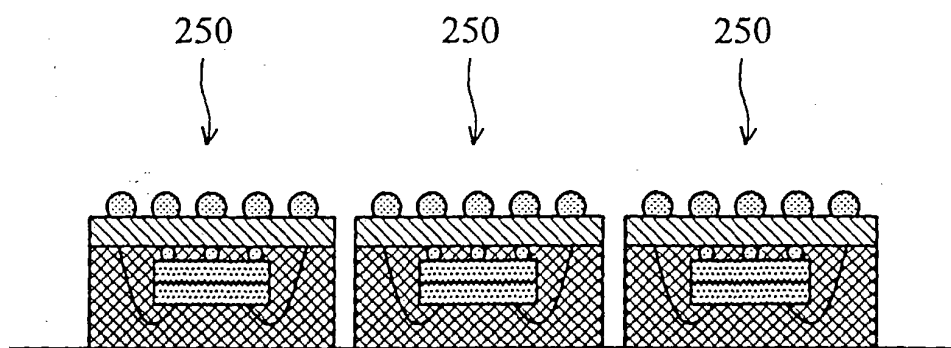
第3G圖



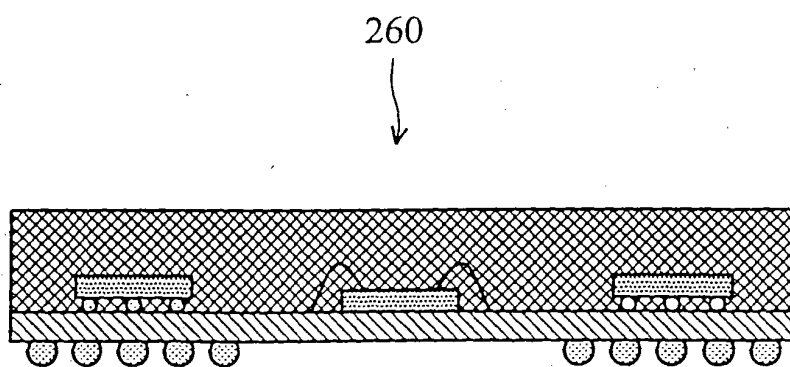
第3H圖



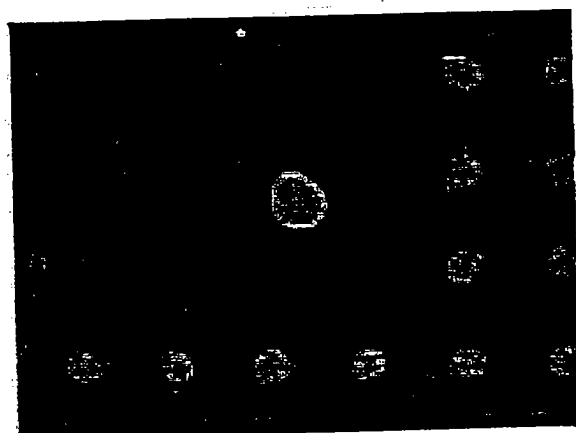
第3I圖



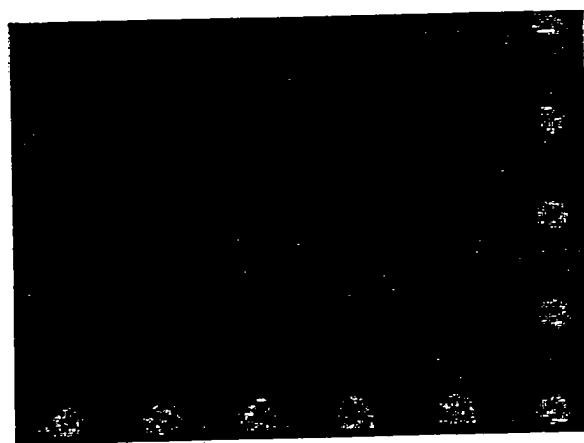
第3J圖



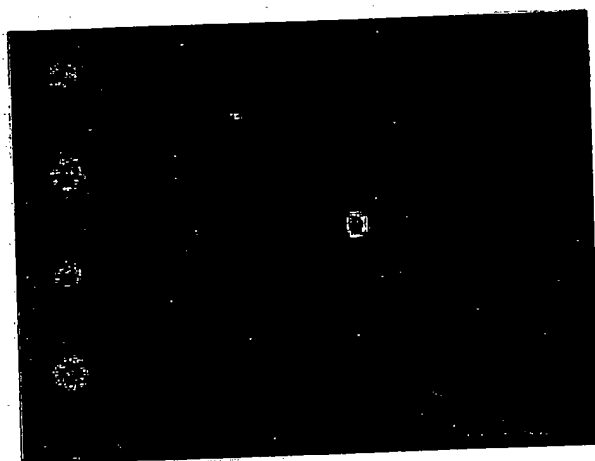
第3K圖



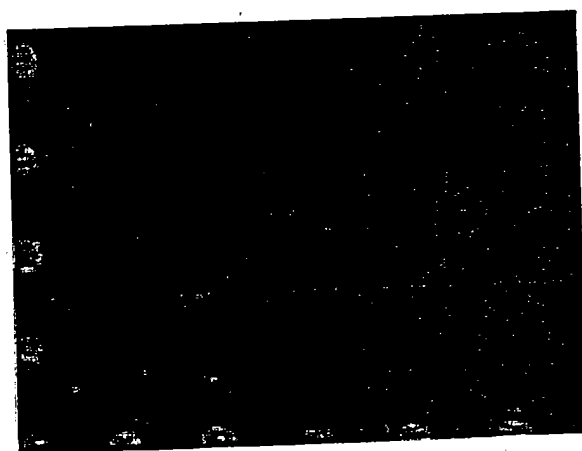
第 4A 圖



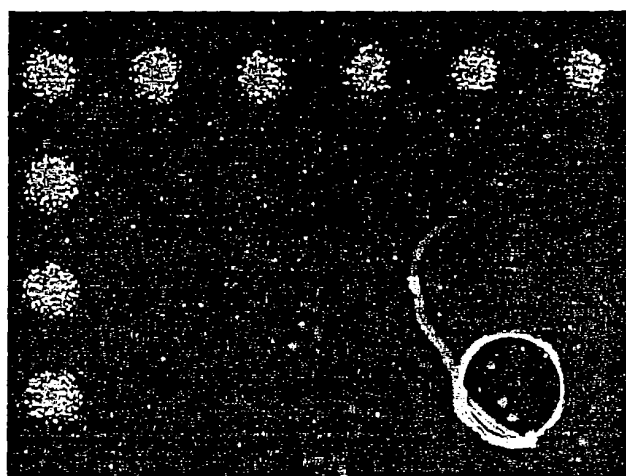
第 4B 圖



第 5A 圖



第 5B 圖



第 6 圖

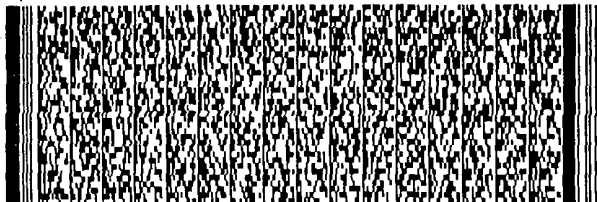
第 1/34 頁



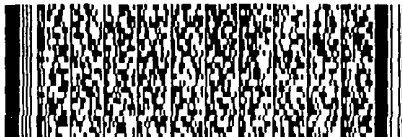
第 2/34 頁



第 3/34 頁



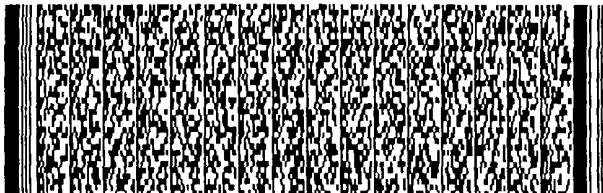
第 4/34 頁



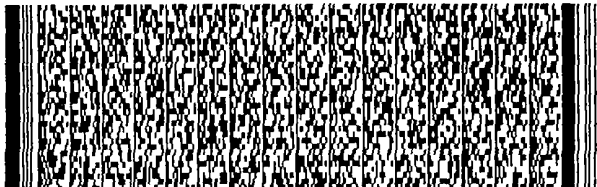
第 5/34 頁



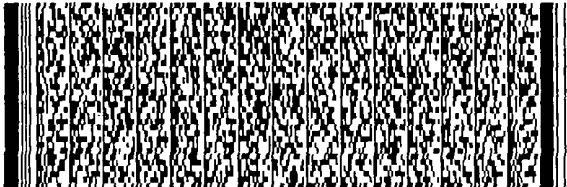
第 6/34 頁



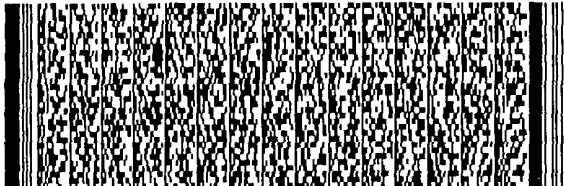
第 6/34 頁



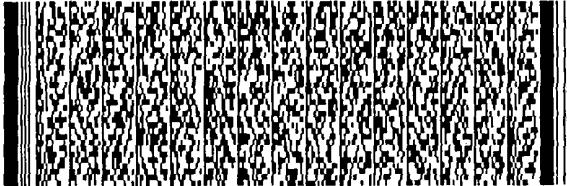
第 7/34 頁



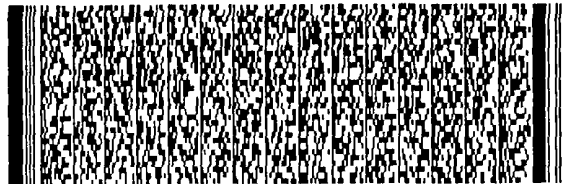
第 7/34 頁



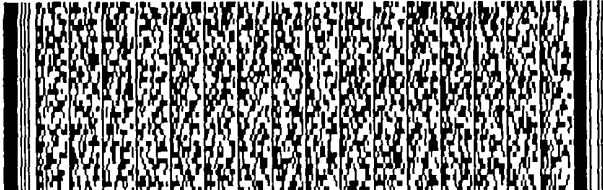
第 8/34 頁



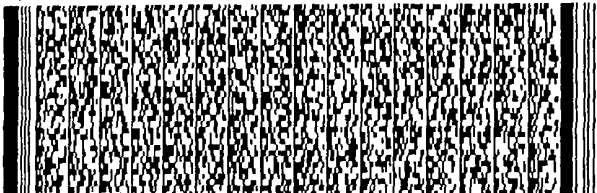
第 8/34 頁



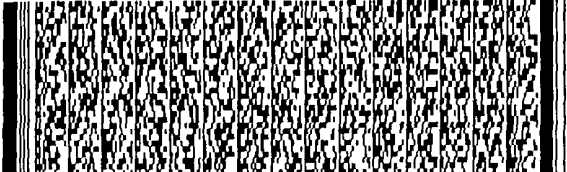
第 9/34 頁



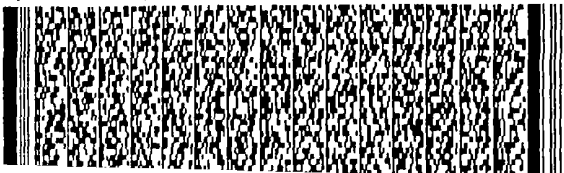
第 9/34 頁



第 10/34 頁



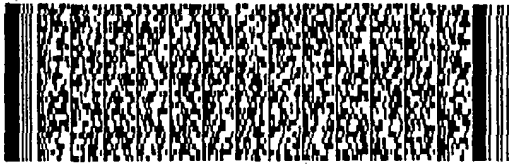
第 10/34 頁



第 11/34 頁



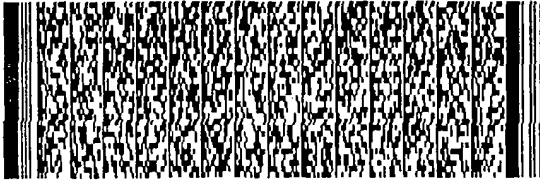
第 11/34 頁



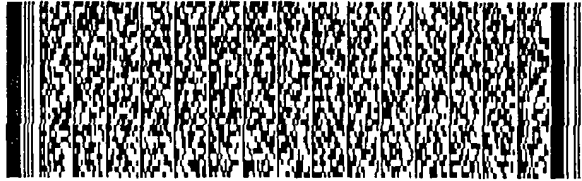
第 12/34 頁



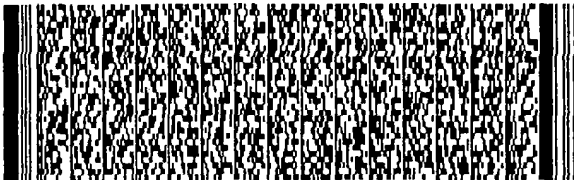
第 12/34 頁



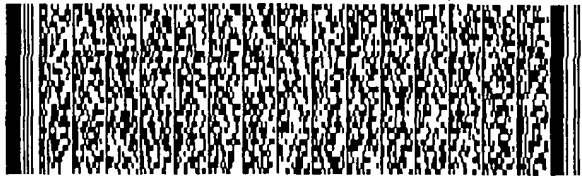
第 13/34 頁



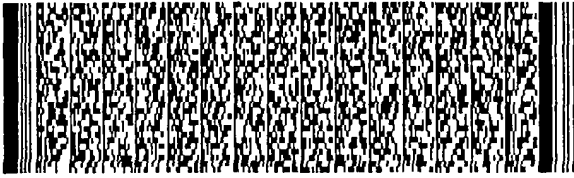
第 13/34 頁



第 14/34 頁



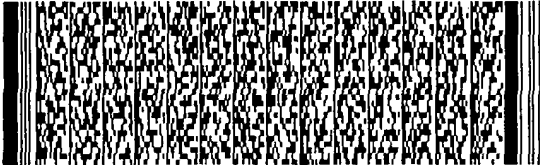
第 14/34 頁



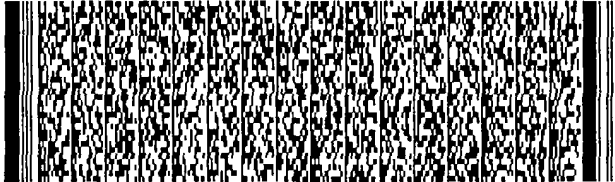
第 15/34 頁



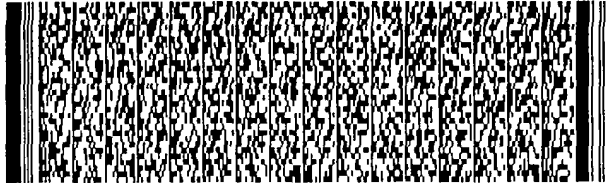
第 15/34 頁



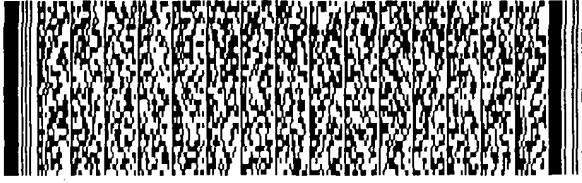
第 16/34 頁



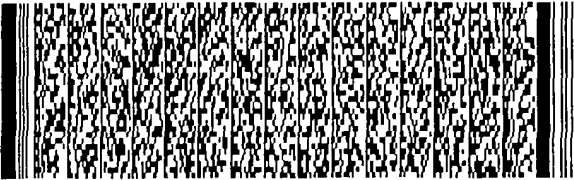
第 16/34 頁



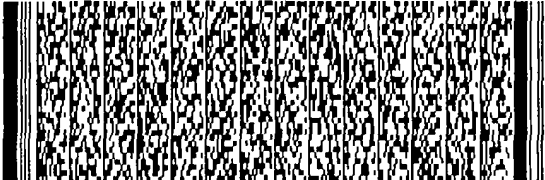
第 17/34 頁



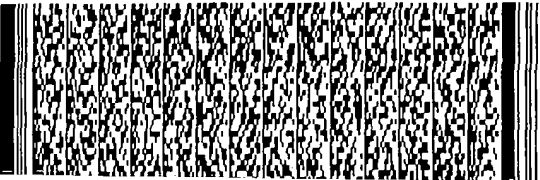
第 17/34 頁



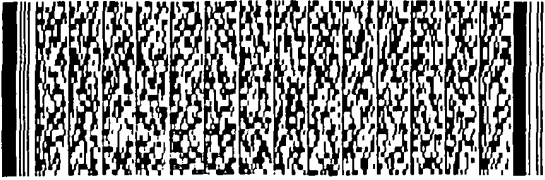
第 18/34 頁



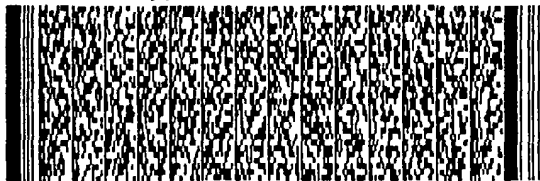
第 18/34 頁



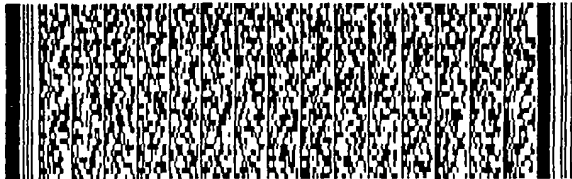
第 19/34 頁



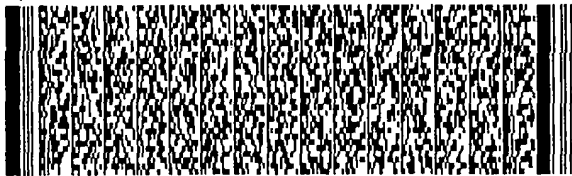
第 19/34 頁



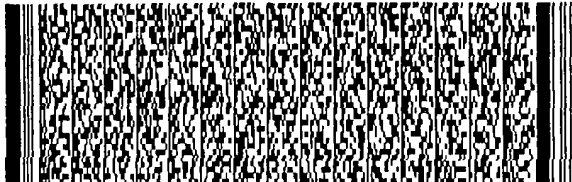
第 20/34 頁



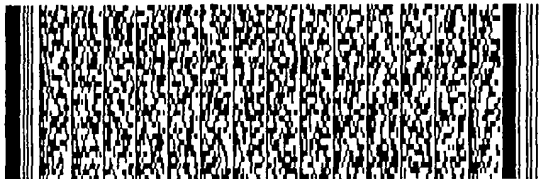
第 21/34 頁



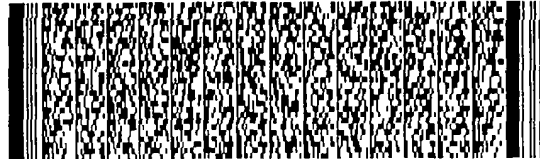
第 22/34 頁



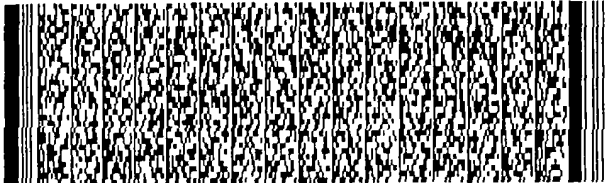
第 23/34 頁



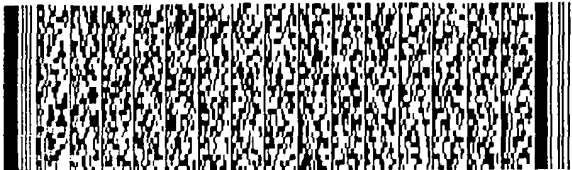
第 24/34 頁



第 25/34 頁



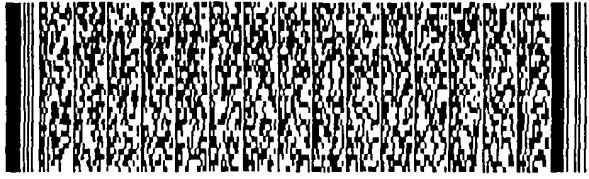
第 26/34 頁



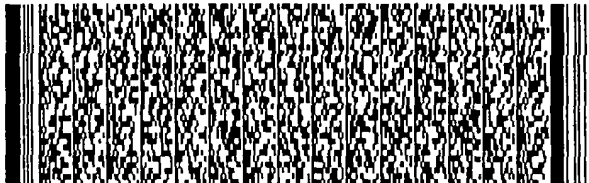
第 20/34 頁



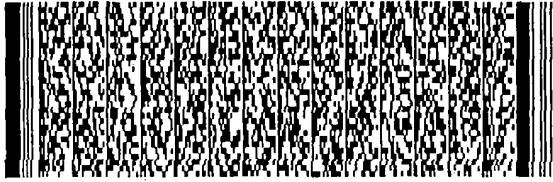
第 21/34 頁



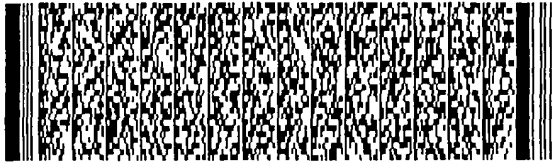
第 22/34 頁



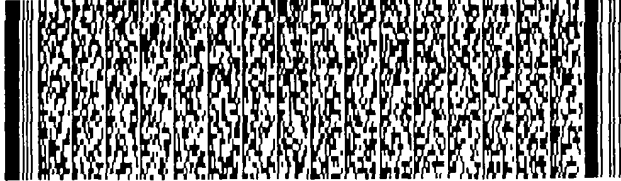
第 23/34 頁



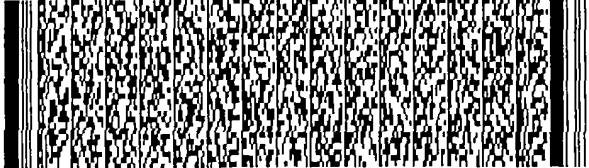
第 24/34 頁



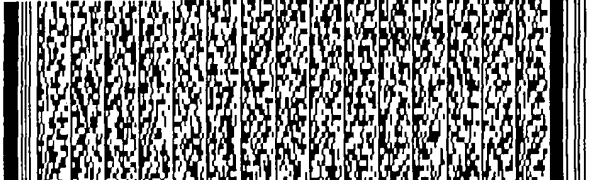
第 25/34 頁



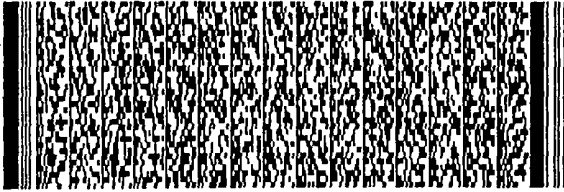
第 26/34 頁



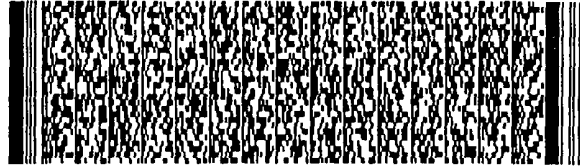
第 27/34 頁



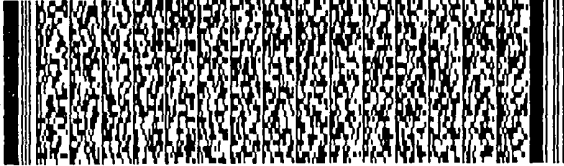
第 27/34 頁



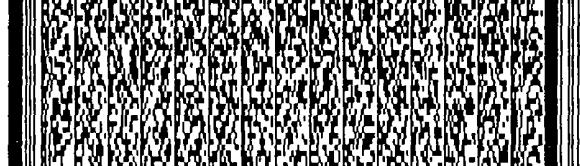
第 28/34 頁



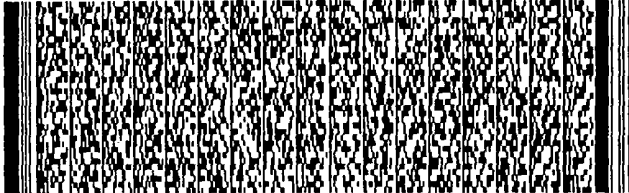
第 28/34 頁



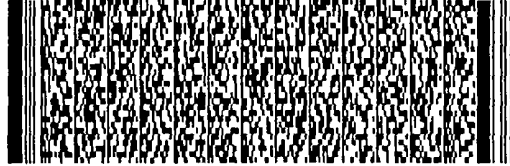
第 29/34 頁



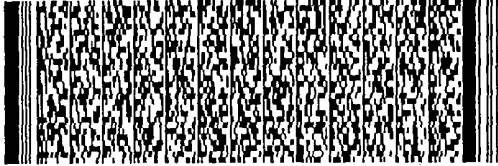
第 30/34 頁



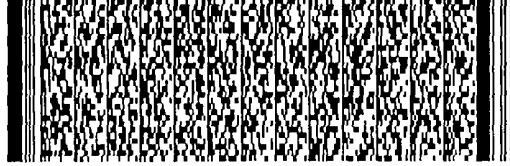
第 31/34 頁



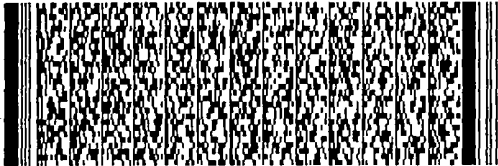
第 31/34 頁



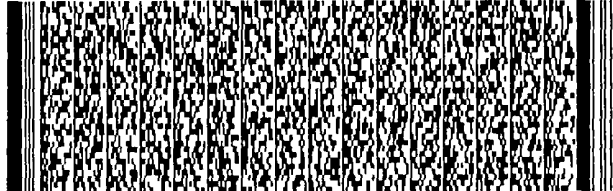
第 32/34 頁



第 32/34 頁



第 33/34 頁



第 34/34 頁

